18p-D8-1

High-k/Ge ゲートスタック界面特性向上に向けた ゲート電極形成後熱処理条件の検討

Improvement of Interfacial Properties of High-k/Ge Gate Stacks by Post-Metal Anneal

¹阪大院工,²原子力機構 [°]田中 亮平¹,秀島 伊織¹,箕浦 佑也¹,吉越 章隆²,

寺岡 有殿², 細井 卓治¹, 志村 考功¹, 渡部 平司¹

¹Osaka Univ., ²JAEA [°]R. Tanaka¹, I. Hideshima¹, Y. Minoura¹, A. Yoshigoe², Y. Teraoka², T. Hosoi¹, T. Shimura¹, and H. Watanabe¹

E-mail: tanaka@asf.mls.eng.osaka-u.ac.jp

【緒言】高移動度 Ge-MOSFET の実現には、EOT 1 nm 以下及び優れた界面特性を持つ high-k/Ge ゲートスタック作製技術の確立が急務である。近年、Al₂O₃界面層を挿入した HfO₂/Al₂O₃/GeO_x/Ge スタックが EOT 0.76 nm で優れた MOSFET 動作を示す一方で、HfO_x/Ge 構造の場合、顕著な絶縁特性および界面特性の劣化が見られたことから[1]、Al₂O₃界面層挿入による HfO₂ 膜および GeO_x 膜の特性向上が示唆されていた。前回我々は、放射光光電子分光分析を用いて極薄 AlO_x 界面層挿入が HfO₂ 成膜時の HfGeO_x 形成の回避および GeO_x 界面層の薄層化に効果的であることを明らかにし、0.56 nm という極薄 EOT で、Poly-Si/SiO₂ スタックに対して 5 桁のリーク電流低減を実現した[2]。本研究では、界面特性向上を目的に、ゲート電極形成後熱処理(PMA)について検討した。

【実験及び結果】p型 Ge(100)基板を洗浄し、超高真空中で 500°C、30 分間の表面清浄化アニールを施 した。続けて 0.15 nm または 0.3 nm の AIOx 層を室温で堆積した後、室温で 5 分間の ECR プラズマ酸 化を施して Al₂O₃/GeO_x/Ge 構造を形成し、さらに室温で電子ビーム蒸着により HfO_xを1nm 堆積した。 その後、室温で ECR プラズマ酸化を行い、HfO2/Al2O3/GeOx/Ge スタックを形成後、ゲート電極として Ptを3nm 堆積した。以上のプロセスは全て真空中で連続して実施した。一部の試料にAuキャップ層 を堆積した後、ゲート電極加工を行い作製した MOS キャパシタの電気特性評価を行った。3 nm の Pt 電極越しに 400℃、10 分間の熱処理(PMA)及び Au キャップ層形成後に 500℃、10 分間の熱処理 (Cap-PMA)を行った試料について、室温で測定して得られた C-V 特性を Fig. 1 に示す。キャップ層 形成後に熱処理を行った試料ではPt電極越しに熱処理を施した試料と比較してEOT増膜が見られたも のの、界面準位の応答を示す周波数分散が大きく低減したことがわかる。低温コンダクタンス法によ り界面準位密度を算出したところ、Fig. 2 に示すように 2.4×10¹¹ cm⁻²eV⁻¹と熱酸化 GeO₂/Ge 界面に匹敵 する界面特性を示した。発表当日は、high-k/Geゲートスタックの EOT スケーリング及び界面特性向上 技術について、より詳細な報告を行う。【謝辞】本研究の一部はキヤノン財団の助成を受け行われた。 また放射光光電子分光分析はナノテクノロジープラットフォーム事業(Nos. 2012B3809, 2013B3872) の支援を受け、SPring-8 BL23SU で実施した。【参考文献】[1] R. Zhang et al., VLSI Tech. Symp., 161 (2012). [2] 田中他, 2013 年秋季第 74 回応用物理学会学術講演会予稿集, 17p-B5-17.





Fig. 1 C-V characteristics of $Pt/HfO_2/Al_2O_3/GeO_x/Ge$ stacks after (a) PMA at 400°C and (b) Cap-PMA at 500°C.

Fig. 2 Energy distribution of D_{it} for the stacks after PMA at 400°C and Cap-PMA at 500°C.