La203/InGaAs 界面ラフネスに及ぼす ALD プロセスの影響

Impact of ALD process on La₂O₃/InGaAs interface roughness

東工大フロンティア研¹,東工大院総合理工学² ^o大嶺 洋¹,ハサンザデ ダリューシュ¹,角嶋 邦之²,西山 彰²,杉井 信之²,片岡 好則², 若林 整²,筒井 一生²,名取 研二¹,岩井 洋¹

FRC, Tokyo Tech.¹, IGSSE, Tokyo Tech.²,

^oHiroshi Omine¹, D. H. Zadeh¹, K. Kakushima², A. Nishiyama², N. Sugii², Y. Kataoka²,

H. Wakabayashi², K. Tsutsui², K. Natori¹ and H. Iwai¹

E-mail: oomine.h.aa@m.titech.ac.jp

【緒言】高移動度チャネル材料である InGaAs を用いた MOSFET はスケーリングの限界を超える 次世代低消費電力デバイスとして期待されている。しかし high-k/InGaAs 界面における界面準位の 増加が著しく、待機時の消費電力増加の原因となってしまう。これまで、我々の研究では high-k 材料として La₂O₃を用いることで CET=0.73nm で界面準位密度 D_{it}=7x10¹¹eV⁻¹cm⁻² と良好な界面特 性が実現できている[1]。さらに今後は 3D 構造を用いたデバイス(Fin-FET 等)を用いることで S 値 向上による低消費電力化が図られると予想される。立体構造に適した成膜方法である原子層堆積 (ALD)法を用いた場合においても、良好な界面特性(D_{it}=8x10¹¹eV⁻¹cm⁻²)が報告されている[2]。しか し、ALD 法における課題として La₂O₃/InGaAs 界面のラフネスが大きいことが挙げられる。その一 方で ALD-Al₂O₃ の界面ラフネス(R_a)は 0.18nm まで低減している[3]。このような界面ラフネスはト ランジスタ特性の実行移動度(µ eff)悪化の原因になると知られている[4]。また、絶縁膜堆積前に行 われる前処理は広くラフネスの原因であるとの報告[5]もある。本研究では ALD-La₂O₃/InGaAs を 用いた際に生じる界面ラフネスについて報告する

【実験方法】使用した基板は *n*-In_{0.53}Ga_{0.47}As (N_d=2x10¹⁶/cm²) で HF(20%)を用いて基板表面の酸化 物を除去し、直ちに(NH₄)₂S_x (6~7.5%)を用いて不動態化処理を行った。その後、ALD 法を用いて La₂O₃を 11.3nm 製膜し、真空一貫にてゲート電極として TiN(45nm)/W(5nm)を堆積した。ゲートパ ターニングを行い、フォーミングガス(FG) (N₂:H₂=97%:3%)にて 320°C のアニール(PMA)を 5min. 行った。ここではコンダクタンス法を用いて D_{it}を評価し、さらに TEM 断面観察から R_aの定量的 な評価を行った。

【結果】 Fig. 1 に作成した MOS キャパシタの(a) 容量電圧(*CV*)特性と(b) TEM 断面観察結果を示 す。Fig. 1 から *k* 値はおよそ 17 で D_{it} は 1.6x10¹²eV⁻¹cm⁻² である。TEM 画像から R_a=0.45nm 存在し ている。ALD-Al₂O₃(R_a=0.18nm)と比較して大きく、高電界における μ eff の低減を招くと考えられ る。当日は詳細な報告を行う。

【**謝辞**】本研究は総合科学技術会議より制度設計された最先端研究開発支援プログラムから日本学術 振興会の支援を受けて実施されたものです。

【参考文献】[1] D. H. Zadeh, et al., *IEDM*2013, [2] H. Oomine, et al., ECS Trans. **58**(7)(2013)385, [3] Y. Urabe et al., Appl. phys. Let. **97**(2010)253502, [4] W. Wang et al., IEEE EDS. **58**(2011)1972, [5] H. J. Oh et al., ECS Trans. **35**(4)(2011)481



Fig 1. (a) *CV* characteristics of ALD-La₂O₃/InGaAs MOS capacitor and (b) TEM image of MOS capacitor cross-section.