

酸化プロセスにおけるゲート絶縁膜/Ge 界面の界面準位密度を決定づける物理的要因 Physical Factor Determining Interface State Density of Gate-insulator/Ge Interface during Oxidation Process

名大院工¹, 学振特別研究員²

柴山 茂久^{1,2}, 加藤 公彦¹, 坂下 満男¹, 竹内 和歌奈¹, 田岡 紀之¹, 中塚 理¹, 財満 鎮明¹
Graduate School of Eng., Nagoya Univ.¹, Research Fellow of Japan Society for the Promotion of Science²
S. Shibayama^{1,2}, K. Kato¹, M. Sakashita¹, W. Takeuchi¹, N. Taoka¹, O. Nakatsuka¹, and S. Zaima¹
E-mail: ssibayam@alice.xtal.nagoya-u.ac.jp

【はじめに】高駆動力 Ge チャネル MOSFET の実現には、 $10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ 以下の低い界面準位密度 (D_{it}) を有するゲート絶縁膜/Ge 界面の形成が非常に重要である。近年、Ge 表面の酸化条件を工夫することで、 $10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ 以下の低 D_{it} を実現できることが知られている [1-4]。しかしながら、低 D_{it} を実現するための明確な酸化条件は、その物理的根拠と共に未だ明らかになっていない。本研究では、様々な酸化処理を施したゲート絶縁膜/Ge 界面を作製し、それらの D_{it} を系統的に調べることで、 D_{it} と相関性の高い物理パラメータを見出した。それを基に、半導体表面の酸化プロセスにおける D_{it} 形成の物理的モデルを構築し、 $10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ 以下の低 D_{it} を実現するための酸化条件を明らかにした。

【実験方法】p 型 Ge(001) 基板に希フッ酸洗浄を施した。Al/Al₂O₃/Ge キャパシタ作製のため、その基板の上に、原子層堆積 (ALD) 法により、基板温度 300°C で膜厚 1 nm の Al₂O₃ 膜を堆積した。次に、200°C から 550°C で 10 分間のポスト熱酸化、または 50°C から 500°C で、酸素分圧 $4 \times 10^{-3} \text{ Pa}$ において、5 分間のポストラジカル酸化を施した。その後、ゲート電流リークの抑制のため、ALD 法により、基板温度 300°C で膜厚 3 nm の Al₂O₃ 膜を再度堆積した。一方、Al/GeO₂/Ge キャパシタ作製のため、化学洗浄を施した Ge 基板に対して、400°C で 2 時間および、480°C または 600°C で、10 分間の熱酸化を行った。400°C および 480°C で形成した GeO₂ 膜厚は 13 nm で、600°C で形成した GeO₂ 膜厚は 130 nm であった。最後に、真空蒸着法により Al ゲートおよび裏面電極を形成した。作製した MOS キャパシタの D_{it} 分布は、コンダクタンス法を用いて評価した。

【結果および考察】我々の実験結果および過去の報告を用いて、midgap 付近 ($E_{SF}-E_F \sim -0.15 \text{ eV}$) の D_{it} と相関性の高い物理パラメータを調べた。 D_{it} は、酸化温度や Ge 酸化膜厚との相関だけでは説明できなかったが、Ge 酸化レートとは、非常に強い相関関係があることが分かった (Fig.1)。これに基づき、以下の物理モデルを検討した。

Ge 酸化膜/Ge 界面では、Ge-O 結合の熱分解などの分解反応によって多数の欠陥が形成される。その欠陥は、基板の深さ方向に密度分布を持っており、密度は熱処理時間に伴って増加すると考えられる。この分布関数 ($N_{it}(x,t)$) においては、 $x=0$ を Ge 酸化膜/Ge 界面と定義し、 D_{it} は界面における $N_{it}(0,t)$ に比例すると考えた。Ge-O 結合数は有限であることから、 $N_{it}(0,t)$ は無限時間には N_{it0} になる。一方、Ge 表面の酸化によって、界面の位置は基板深さ方向に進行し、熱分解反応で形成された欠陥は消滅すると考える。従って、一定時間の酸化を行った場合、酸化レートが速い方が、界面位置の進行距離が長く、界面位置における $N_{it}(0,t)$ は小さくなる (Fig.2(a))。一方、酸化レートが一定の場合、欠陥形成レートが速い方が、酸化後の界面位置における N_{it} が大きくなる (Fig.2(b))。また、レート方程式を解き、Ge 酸化膜/Ge 界面位置における $N_{it}(0,t)$ を求めた結果、

$$D_{it} \propto N_{it} \approx N_{it0} / \{v / (L_{it} / \tau) + 1\} \quad (1)$$

と、近似できることが分かった。式(1)より D_{it} を計算すると、計算結果は、実験結果をよく再現することが分かった (Fig.1)。更に、400°C から 600°C における GeO の熱脱離レートを求めると、 $10^{-2} \sim 10^{-4} \text{ nm/s}$ であった [5]。従って、Ge デバイスプロセス中の温度における欠陥形成レートは $10^{-2} \sim 10^{-4} \text{ nm/s}$ 程度であるため、Fig.1 より、0.1 nm/s 以上の速い酸化レートで Ge 表面の酸化を行うことで、 $10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ 以下の低 D_{it} を有するゲート絶縁膜/Ge 界面を、広い温度範囲において実現できると言える。

[1] T. Sasada *et al.*, JAP **106** (2009) 073716. [2] H. Matsubara *et al.*, APL **93** (2008) 032104. [3] C. H. Lee *et al.*, IEEE Trans. Electron Dev. **58**(5) (2011) 1295. [4] R. Zhang *et al.*, IEEE Trans. Electron Dev. **59** (2012) 335. [5] Y. Oniki *et al.*, JAP **107** (2010) 124113.

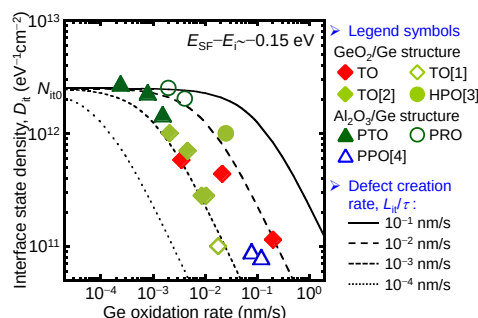


Fig.1 D_{it} at $E_{SF}-E_F \sim -0.15 \text{ eV}$ and calculation results of N_{it} at the Ge-oxide/Ge interface as a function of oxidation rate with several defect creation rates. TO, HPO, PTO, PRO, and PPO mean thermal oxidation, high pressure oxidation, post thermal oxidation, post radical oxidation, and post ECR plasma oxidation, respectively.

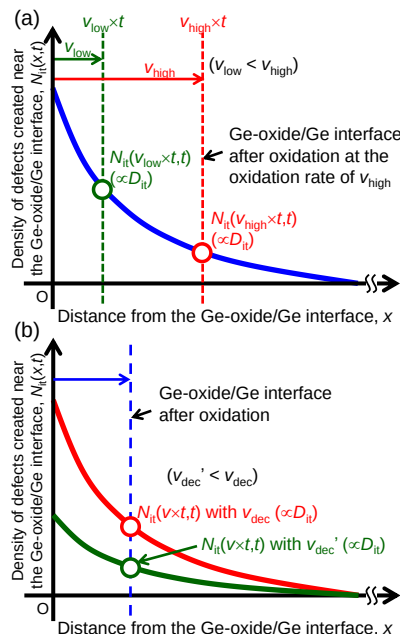


Fig.2 Schematic diagrams of N_{it} distribution with (a) a constant defect creation rate and oxidation rates (v_{high} , v_{low}) and (b) a constant oxidation rate and defect creation rates (v_{dec} , v_{dec}').