

プラズマ後窒化による $\text{Al}_2\text{O}_3/\text{SiGe}$ MOS 界面改善の Ge 組成依存性 The impact of Ge composition on the improvement of the interface trap density at $\text{Al}_2\text{O}_3/\text{SiGe}$ MOS interface with plasma post-nitridation

東大院工¹, JST-CREST², 住友化学³○韓 在勲^{1,2}, 張 睿^{1,2}, 長田 剛規³, 秦 雅彦³, 竹中 充^{1,2}, 高木 信一^{1,2}
Univ. of Tokyo¹, JST-CREST², Sumitomo Chemical Co. Ltd.³○Jaehoon Han^{1,2}, R. Zhang^{1,2}, T. Osada³, M. Hata³, M. Takenaka^{1,2}, S. Takagi^{1,2}
E-mail: hanjh@mosfet.t.u-tokyo.ac.jp

【はじめに】近年, 高い正孔移動度を持つ歪シリコンゲルマニウム(SiGe)が高性能 MOSFET のチャネル材料として注目されている. SiGe は光の変調効率を向上するため, Si のキャリアプラズマ効果を増大する材料としても期待されている[1]. しかし, SiGe MOS 界面の高い界面準位密度(D_{it})は MOS デバイスの高性能化の妨げとなっており, D_{it} の低減化技術の開発が急務となっている. 我々は, これまでに ECR(Electron cyclotron resonance)法によるプラズマ後窒化により, EOT(Effective oxide thickness)の増加を抑制しつつ, 低 D_{it} を持つ良好な SiGe MOS 界面が得られることを報告した[2]. しかし, 高 Ge 組成を持つ SiGe の MOS 界面に対するプラズマ後窒化の効果は未解明であった. SiGe MOS デバイスの更なる高性能化のためには, 高 Ge 組成を持つ SiGe を導入しつつ, その D_{it} を抑える必要がある. 本報告では, プラズマ後窒化の Ge 組成依存性を調べると共に, 特に高 Ge 組成の SiGe MOS 界面特性についてその評価方法も含めて検討した.

【実験結果】図 1 にプラズマ後窒化による SiGe MOS キャパシタの作製プロセスを示す. 基板として, Si 上にエピタキシャル成長した膜厚 8 nm の SiGe を用意した. Ge 濃度は 0.13, 0.23, 0.32, 0.38, 0.49 の計 5 種類である. ALD(Atomic layer deposition)法で基板上に Al_2O_3 を 1 nm 堆積させた後, ECR 法で発生させた RF パワー 650 W の窒素プラズマを 300°C で加熱させた基板に 10 秒間照射した. その後, Al_2O_3 を追加堆積し, 電極形成, 熱処理などを経てキャパシタを完成させた. Ge 組成 0.49 以下のサンプルでは, プラズマ後窒化を行うことで, 電圧-容量特性(C-V 特性)の空乏領域での周波数分散が改善され, D_{it} が低減されたことが確認された. 図 2 に Ge 濃度 0.49 の場合の C-V 特性を示す. 1 MHz での容量の大きな劣化が観測されるが, これは SiGe/Si のヘテロ構造に起因する寄生インピーダンスが原因である. この寄生インピーダンスの影響を除外しつつ, 界面特性を評価するため, キャパシタの等価回路の見直しと高温測定を行った. 図 3(a)にその等価回路を示す. 既存の MOS キャパシタの等価回路にヘテロ構造による寄生容量と抵抗を追加し, 測定結果をこの等価回路で補正した. しかし, 強蓄積で求めた寄生インピーダンスでは, 低電圧の

容量補正が出来ないことが分かった. この問題を解決するため, 高温測定によりヘテロ構造起因の寄生インピーダンスの影響を軽減することを試みた. 75 度での測定結果に対し等価回路による補正を行った所, 図 3(b)に示す通り, ヘテロ構造起因の寄生インピーダンスの影響を取り除くことに成功した. この解析法をコンダクタンス法に適用し, SiGe MOS キャパシタの D_{it} を測定した結果を図 4 に示す. 図 4 から, プラズマ後窒化は全ての Ge 組成で D_{it} を低減可能であることが分かった.

【謝辞】本研究の一部は総務省戦略的情報通信研究開発推進制度 (SCOPE) と半導体理工学研究センター(STARC)の助成により実施した.

【参考文献】[1] M. Takenaka and S. Takagi, JQE, **48**, p. 8, 2012
[2] 韓在勲他, 第 60 回応用物理学会春季学術講演会, 神奈川工科大学, 28a-G2-6

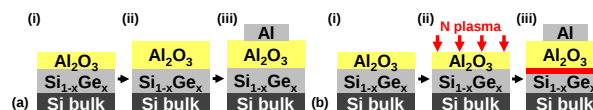
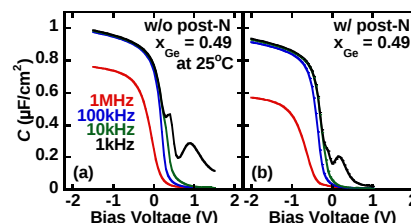
図1. SiGe MOS キャパシタの作製プロセス.

図2. プラズマ後窒化有無のC-V特性.

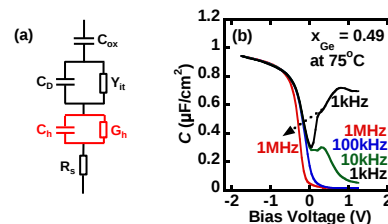
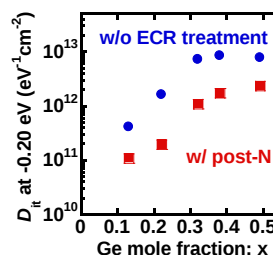


図3. (a) 寄生インピーダンスを考慮した等価回路. (b) 等価回路で補正した高温C-V特性.

図4. $E-E_t = -0.2\text{eV}$ の位置での D_{it} の比較