

Au/SiO₂ ハイブリッド接合を用いた3次元集積回路の試作Fabrication of Three-Dimensional Integrated Circuits by using Au/SiO₂ Hybrid BondingNHK技研¹, 東大² 後藤 正英¹, 萩原 啓¹, 井口 義則¹, 大竹 浩¹,更屋 拓哉², 日暮 栄治², 年吉 洋², 平本 俊郎²NHK STRL¹, Univ. of Tokyo², Masahide Goto¹, Kei Hagiwara¹, Yoshinori Iguchi¹,Hiroshi Ohtake¹, Takuya Saraya², Eiji Higurashi², Hiroshi Toshiyoshi² and Toshiro Hiramoto²

E-mail: goto.m-fk@nhk.or.jp

【はじめに】超高精細と高フレームレートとを両立できる次世代の撮像デバイスを目指して、3次元構造撮像デバイスの研究を進めている¹⁾。本デバイスは、受光部や A/D 変換等の機能を備えた基板を積層した構造を有し、全画素の信号を並列処理して深さ方向へ出力することを特徴としている。今回、画素回路の基本要素となる3次元集積回路の開発に取り組み、その試作に成功した²⁾ので報告する。

【実験】3次元構造 CMOS インバータの構成を Fig.1 に示す。別々の基板に形成した NMOS と PMOS のトランジスタを上下に対向させて接続して、集積する。Fig.2 にプロセスフローを示す。FDSOI 基板の活性層(厚さ 50nm)にトランジスタを作製した後に、Al 電極上にビア(直径 3 μ m)を形成し、Au メッキと CMP により、Au と SiO₂ のパターンが同一平面内に混在するハイブリッド界面を得た。Ar と O₂ プラズマによる基板の表面活性化処理を行い、荷重 2000N、温度 200°C で 60 分間加圧して³⁾、上下基板のトランジスタを接合した。

【結果】試作した CMOS インバータの入出力特性を Fig.3 に示す。3次元構造での動作実証は本研究が初めての報告例である。また、接合を伴わない従来型の2次元構造回路と特性が一致し、接合による特性の劣化は見られなかった。多数の接合電極からなる回路の動作を検証するため、上記の CMOS インバータを 101 段接続した3次元構造のリングオシレータを試作した。その発振特性を Fig.4 に示す。周期 1.4 μ s(電源電圧 1.8V)で、パルス波形を発生する発振動作を得ることができた。本技術

は、個々のトランジスタを3次元的に接続することが可能であるため、撮像デバイスに限らず、高密度化が求められる将来の3次元集積回路の形成手段として有用である。

1) 後藤ほか, 第 59 回応物春季講演会, 16p-E3-8, 2012.

2) M. Goto *et al.*, IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 11.2, 2013.

3) 萩原ほか, 第 60 回応物春季講演会, 29a-G7-5, 2013.

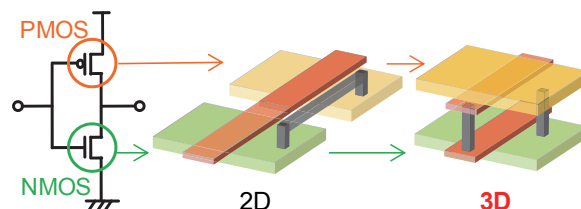


Fig.1 CMOS インバータの構成

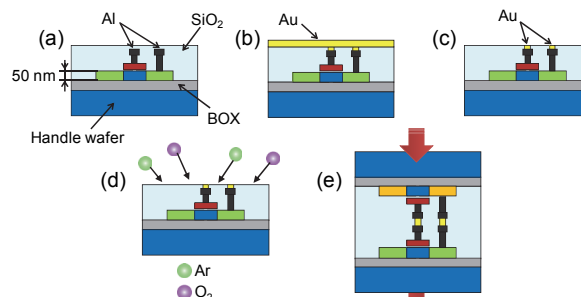


Fig.2 3次元集積化のプロセスフロー

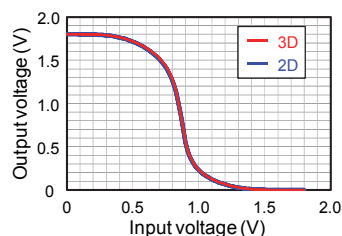


Fig.3 CMOS インバータの入出力特性

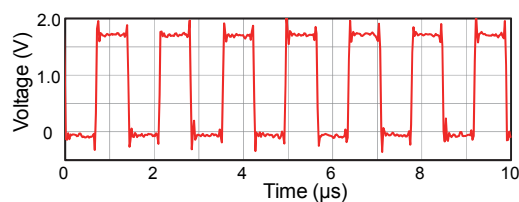


Fig.4 リングオシレータの発振特性