

18p-E5-7

ゲートバイアスストレスによるしきい値電圧変動の緩和挙動と 新規測定法の提案

Relaxation behavior of threshold voltage shift under gate bias stress and suggestion of
advanced measurement method

産総研¹, 富士電機² ○染谷 満¹, 岡本 大¹, 原田 信介¹, 石森 均¹, 高須 伸次¹, 畠山 哲夫¹,
武井 学², 児島 一聡¹, 米澤 善幸¹, 福田 憲司¹, 奥村 元¹

AIST.¹, Fuji Electric Co. Ltd.², ○M. Sometani¹, D. Okamoto¹, S. Harada¹, H. Ishimori¹, S. Takasu¹,
T. Hatakeyama¹, M. Takei², K. Kojima¹, Y. Yonezawa¹, K. Fukuda¹, H. Okumura¹

E-mail: m.sometani@aist.go.jp

[目的]

SiC-MOS デバイスにおいてゲートバイアスストレスによるターンオンのしきい値電圧(V_{th})変動低減が課題となっている。従来の測定法はストレスと V_{th} 測定を個別に行っていたため、ストレスにより捕獲された電荷が V_{th} 測定時には放出され、変動量を過小評価する問題があった。本研究ではストレス印加と V_{th} 測定を同時に行う手法を確立し従来法と比較したので報告する。

[実験方法]

本研究では Si 面上に形成した MOSFET を試料として用いた。ゲート酸化膜は乾燥酸素雰囲気中で 50nm 形成した熱酸化膜を用いた。 V_{th} 変動の評価法として、従来はゲート電極に任意時間のゲート電圧(V_g)ストレスを印加する前後のドレイン電流(I_d)- V_g 特性を、 $V_g=0V \sim V_{th}$ 以上となる電圧の間で掃引して V_{th} を測定する手法(Sweep 法)が用いられてきた。今回、上記の I_d - V_g 測定時の V_g を V_{th} 以上の電圧にて 3 点のみ掃引し、 V_{th} 測定を高速化する手法(3 点法)及びゲート電極にはストレス電圧を印加し続けた状態で、定電流の I_d を流すために必要なドレイン-ソース電圧(V_{ds})の変化から V_{th} 変動を評価する手法(緩和無し法)を考案した。

[結果・考察]

図 1 に各手法で評価したゲートバイアスストレスによる V_{th} 変動値の比較を示す。ストレスは室温で 1000 秒印加し、ストレス電圧は+15V である。ゲート電極に常に V_g を印加し続ける緩和無し法は V_{th} 変動の値が最も大きく測定されていることがわかる。この結果は緩和無し法がストレス印加中の V_{th} 変動を最も正確に測定できていることを示唆している。特に緩和無し法ではストレス印加初期の V_{th} 変動が大きな値として測定されていることから、Sweep 法ではこの早い変動成分が緩和により過小評価されていると考えられる。

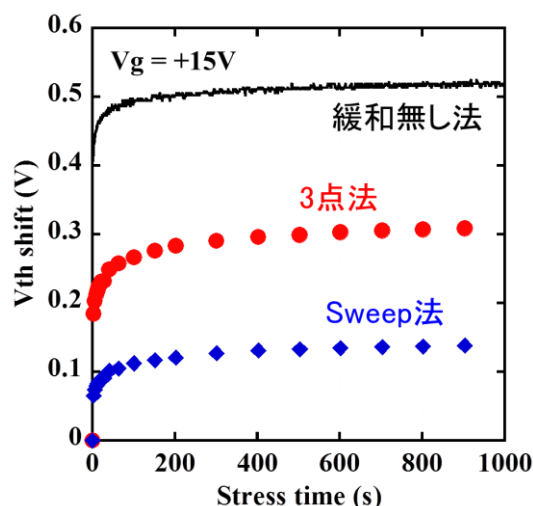


図 1. 各手法で評価したゲートバイアス
ストレスによる V_{th} 変動値の比較

謝辞

本研究は、総合科学技術会議により制度設計された最先端研究開発支援プログラムにより、日本学術振興会を通して助成されたものです。