

Ge/Si コアシェルナノワイヤと Si ナノワイヤのヘテロ接合作製

Fabrication of hetero junction of Ge/Si core-shell nanowire and Si nanowire

東工大量子ナノ研セ

◦森田 広大, 野口 智弘, Marolop Simanullang, 宇佐美 浩一, 小寺 哲夫, 小田 俊理
QNERC, Tokyo Tech.

◦Kodai Morita, , Tomohiro Noguchi, Marolop Simanullang,
Koichi Usami, Tetsuo Kodera, Shunri Oda

E-mail: morita.k.aj@m.titech.ac.jp

[はじめに] Ge/Si コアシェルナノワイヤ(以下、Ge/Si NW)は、ドーピングなしで p 型半導体として動作するため、より高い電気伝導率が期待されている半導体材料である[1]。我々は Ge/Si NW を使った pn 接合ダイオード開発(Fig.1)に向けて、まず Si シェルの CVD 堆積と Si NW の成長を同時に行い Ge/Si NW と Si NW のヘテロ接合を作製した。

[実験]電子ビーム蒸着器で島状に堆積した金を触媒に、Vapor-liquid-solid法(VLS法)を用いてGe NWの作製を行った。LPCVD装置内にてGeH₄をソースにして280℃で成長させ、Ge NWを生成する。その後Si₂H₆をソースにして280℃から500℃に温度を上げながらSiのNW成長とCVD堆積を同時に行い、Ge/Si NWとSi NWのヘテロ接合を作製した(Fig.2)。

[結果] TEM 観察(Fig.2)と元素分析(Fig.3)により、Ge/Si NW と Si NW のヘテロ接合を観察できた。Fig.2 のように Ge/Si NW から折れ曲がるように Si NW が成長し、NW の先端に金触媒が確認されなかった。このことから、Si NW は VLS 成長ではなく、CVD 堆積による成長の可能性が示唆される。

[謝辞]本研究は、科研費(24102703)の助成の基に遂行された。また、Ge/Si NW の TEM 測定は東京工業大学大岡山分析支援センターの協力の下に行われた。

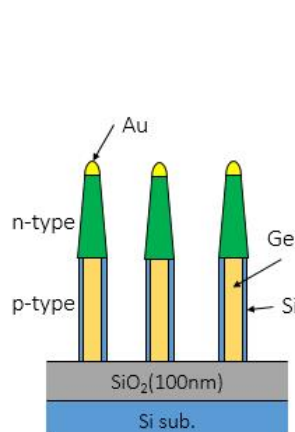


Fig.1:Hetero junction of n-type and p-type nanowire

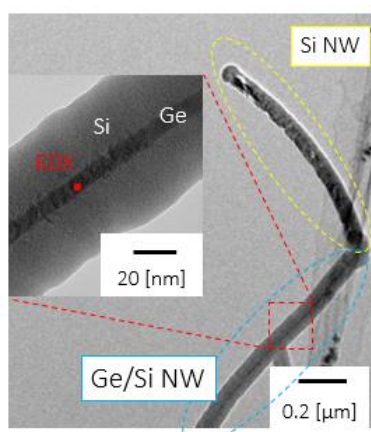


Fig.2:TEM image of hetero junction nanowire

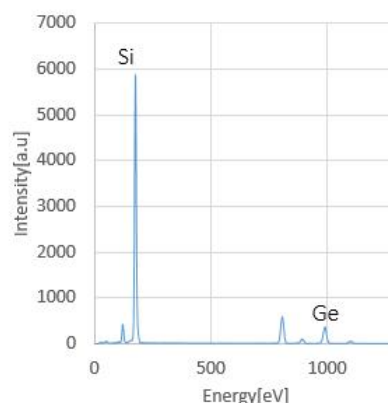


Fig.3:Elemental analysis of Ge/Si nanowire by EDX

[1] Jaeyun Moon, Ji-Hun Kim, et al, Nano Lett, 13, 1196–1202 (2013)