

自己整合積層型ソース・ドレイン電極による InAs ナノワイヤ FET の短ゲート化

Gate length reduction via self-aligned source/drain stacks in the InAs nanowire FET

NTT 物性基礎研¹ ○佐々木智¹, 舘野功太¹, Guoqiang Zhang¹, 原田裕一¹,
齊藤志郎¹, 藤原聡¹, 寒川哲臣¹, 村木康二¹

NTT Basic Research Labs.¹ ○S. Sasaki¹, K. Tateno¹, G. Zhang¹, Y. Harada¹,
S. Saito¹, A. Fujiwara¹, T. Sogawa¹, and K. Muraki¹

E-mail: sasaki.s@lab.ntt.co.jp

III-V族半導体ナノワイヤは、高い易動度を有することから、電界効果トランジスタ (FET) のチャネル材料として近年注目されている。特にナノワイヤをゲート電極で完全に取り囲んだ Gate-All-Around (GAA) 構造を採用すると、サブスレッショルド特性 (S値) が改善し、高ON/OFF比を有するFETが実現できると期待される。以前我々は、ゲート電極がソース・ドレイン電極とオーバーラップした横型GAA InAsナノワイヤFETを作製し、直列寄生抵抗の低減を反映して大きな駆動電流を得ることに成功した[1]。しかしながら、ゲート長=ソース・ドレイン間隔が、電子ビーム描画の位置合わせで定義される方式だったため、最少ゲート長は200 nm程度にとどまっていた。今回我々は、HSQ (hydrogen silsesquioxane) と電子ビームレジストを同時に電子線照射することによって作成した、SiO_x/Al自己整合積層構造をソース・ドレイン電極とすることにより、電子ビーム描画の合わせ精度に依存せず、さらに短ゲート長領域ヘスケーリング可能なナノワイヤFET構造を開発した。

図1は作製したナノワイヤFETの模式図である。まず、VLS法で成長したInAsナノワイヤを原子層堆積法 (ALD) によって厚み6 nmのAl₂O₃ゲート絶縁膜 (EOT: 2.7 nm)で被覆し、あらかじめ下側ゲート電極がパタニングされた別のSi基板に転写する。次に、HSQと電子ビームレジストのPMMAを重ね塗りし、ソース・ドレイン電極部分を同時に電子線照射すると、下層のHSQはSiO_xに変化する。上層のPMMAを通常通り現像し、ドライエッチングによってナノワイヤ表面の酸化膜を除去した後にAlを蒸着する。Alの表面をAl₂O₃に酸化して、さらにSiO₂を積層した後にリフトオフを行う。この後、電子線未照射部のHSQをTMAH (水酸化テトラメチルアンモニウム) で除去することにより、図のようなSiO_x(HSQ)/Al/SiO₂自己整合積層構造のソース・ドレイン電極が形成される。最後に上側ゲート電極をソース・ドレインにオーバーラップさせて蒸着すると、ナノワイヤが上下からゲート電極に挟まれたGAA FET構造が完成する。この方式においては、ゲート長=ソース・ドレイン間隔が電子ビーム描画の合わせ精度に依存しないため、結晶成長で決まるナノワイヤの直径 d とともに、原理的には任意のゲート長ヘスケーリング可能となっている。

図2に示すのはゲート長 $L_g = 120$ nm、直径 $d =$

70 nmのInAs GAAナノワイヤFETの室温における伝達特性 (ドレイン電圧 $V_d = 0.1$ V) をリニアスケール、ならびに対数スケールで示したものである。ナノワイヤの周長 πd で規格化した最大相互コンダクタンスは140 $\mu\text{S}/\mu\text{m}$ と、InAsナノワイヤFETとしてはトップクラスの値が得られている[1]。また250°Cで1分間ポストアニリングした後のS値として110 mV/decが得られた。

[1] S. Sasaki et al., Appl. Phys. Lett. **103**, 213502 (2013).

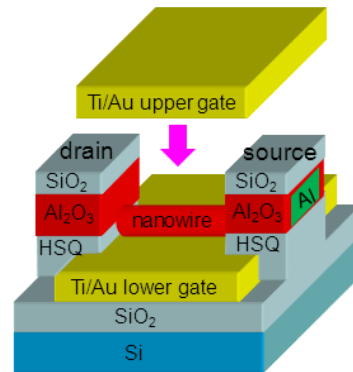


図1: デバイス構造模式図

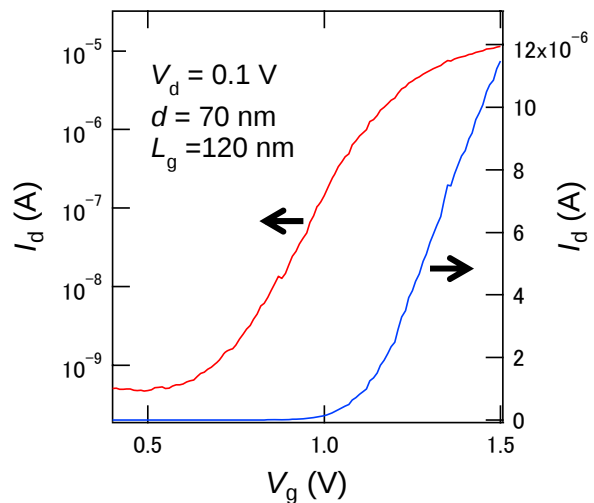


図2: 室温伝達特性