18p-F6-17

n チャネル Ge_{1-x}Sn_x MOSFET の電流-電圧特性への Sn 組成の影響 Impact of Sn content on *I-V* characteristics of n-channel Ge_{1-x}Sn_x MOSFETs ¹名古屋大院工,²東大院工

^o浅野孝典¹, 田岡紀之¹, 加藤公彦¹, 坂下満男¹, 張睿², 横山正史², 竹中充², 中塚理¹, 高木信一², 財満鎭明² ¹Graduate School of Engineering, Nagoya University, ²Graduate School of Engineering, The University of Tokyo T. Asano¹, N. Taoka¹, K. Kato¹, M. Sakashita¹, R. Zhang², M. Yokoyama², M. Takenaka², O. Nakatsuka¹, S. Takagi², S. Zaima¹ E-mail: tasano@alice.xtal.nagoya-u.ac.jp

【はじめに】 $Ge_{1-x}Sn_x$ 混晶は、電子および正孔の小さな有効質量のため、MOSFET の新規チャネル材料として 期待されており[1]、近年では MOSFET の動作実証が報告され始めている[2,3]。一方で、 $Ge_{1-x}Sn_x$ 層中の Sn 組成、結晶性、歪、バンド構造と電気特性との関係は、十分に理解されていない。そこで、本研究では、様々な Sn 組成の $Ge_{1-x}Sn_x$ 層をチャネルとした n チャネル MOSFET を作製し、Sn 組成、結晶性と電気特性の関係を 詳細に調べた。

【実験手順】分子線エピタキシ法により、膜厚 30 nm の非ドープ $Ge_{1-x}Sn_x \& p$ -Ge(001)基板上に 150°C におい て成長した。ここで、Sn 組成は、0, 2, 4, 9%を目標とした(X 線回折より求めた格子間隔、ポアソン比から考えて、 ほぼ所望の組成が得られていた)。SiO₂層で素子分離後、イオン注入により P をドーピングし、600°C で 1 分間 の活性化熱処理を施し、ソース・ドレインを形成した。その後、ゲートスタック構造 (Ta/ALD-Al₂O₃ (5 nm) /Ge_{1-x}Sn_x-oxide/Ge_{1-x}Sn_x) を形成し、MOSFET を作製した(Fig. 2 の挿入図参照)。

【結果および考察】Fig. 1(a)と1(b)に、ホモエピタキシャル Ge 層および Ge_{0.98}Sn_{0.02} 層形成後の RHEED パターンを示す。Fig. 1(a)では、明瞭な 2×1 ストリークパターンが確認できる。このことは、150°C の低温成長においても、平坦なエピタキシャル Ge 層が形成可能であることを示している。一方で、Fig. 1(b)では、スポットパターンが見られることから、Sn の導入によって、3 次元成長していることが分かる。また図に示さないが、他の Sn 組成においても、同様な3 次元成長が確認された。更に、光電子分光法による Ge_{1-x}Sn_x層の表面組成解析によると、Sn 組成は、X 線回折で得られた 2, 4, 9%に対して、5, 9, 19%と Sn 組成が非常に高いことが分かった[4]。これらの高い Sn 組成および 3 次元成長に伴う表面ラフネスは、MOSFET の特性に大きく影響すると考えられる。

Fig. 2 に MOSFET のソース電流 (I_s) -ゲート電圧 (V_g) 特性示す。ここで、横軸は V_g -閾値電圧 (V_{th}) とした。 Sn 組成 9%以外の試料においては、比較的良好な cut-off 特性が見られる。一方で、 $V_g-V_{th}=2V$ における電流 は、Sn 組成の増加と共に、減少することが分かる。また、 I_s-V_g 特性から見積もったサブスレッショルド係数の Sn 濃度依存性を Fig. 3 に示す。Sn 濃度増大に伴いサブスレッショルド係数の増大が見られる。これらのサブスレ ッショルド係数から界面準位密度を見積ると、Sn 組成 0%, 2%、および 4%の試料について、 1×10^{13} , 2×10^{13} , お よび 3×10^{13} eV⁻¹·cm⁻²と見積もられた。この高い界面準位密度は、表面に偏析した Sn や表面ラフニング等に起 因していると考えられる。一方で、非常に高い表面 Sn 偏析にも関わらず、比較的良好な cut-off 特性を示して いることから、Sn 表面濃度の制御によって、トランジスタ特性のさらなる向上が可能であると考えられる。

[1] K. L. Low et al., J. Appl. Phys. **112** (2012) 103715. [2] G.Han et al., VLSI Technol. 2012, p. 97. [3] S. Gupta et al, IEDM 16.6.1 (2011). [4] 加藤 他, 2014 年 第 61 回応用物理学会春季学術講演会 発表予定.



Fig. 1: RHEED patterns of epitaxial (a) Ge and (b) GeSn (2%) layers.



Fig. 2: I_s - V_g - V_{th} characteristics of epitaxial Ge and GeSn n-MOSFETs. Inset shows schematics of GeSn MOSFET.



Fig. 3: Sn content dependences of subthreshold swing for various measurement temperatures.