

極薄 SOI MOS トンネル素子のエレクトロルミネセンス

Electroluminescence in Ultrathin Silicon-on-Insulator

Metal-Oxide-Semiconductor Tunnel Diodes

阪大院工 ○中向 保徳, 土田 彩乃, 宮田 優樹,

川合 健太郎, 有馬 健太, 森田 瑞穂

Osaka Univ. ○Yasunori Nakamukai, Ayano Tsuchida, Yuki Miyata,

Kentaro Kawai, Kenta Arima, Mizuho Morita

E-mail: nakamukai@pm.prec.eng.osaka-u.ac.jp

現在の LSI (Large Scale Integration) チップでは電気配線が用いられているが、配線同士の干渉や信号の減衰などの問題が生じている。そこで電気配線の代替配線として光配線技術が注目されている。電子デバイス中において論理回路は主に Si 基板上に作製されている。このため、光配線技術に用いる発光素子は Si 基板に組み込むことが必要とされる。Si は間接遷移型の半導体であることから、発光素子として用いることは不適とされてきた。しかし近年、Si の量子井戸を作製することで量子閉じ込め効果により、間接遷移型から擬直接遷移型へと推移することが理論的に報告され、バンドギャップが増大することが理論的・実験的に報告された^{1,2)}。

我々は、SOI (Silicon on Insulator) 基板を用いて Si の量子井戸を有する MOS (Metal Oxide Semiconductor) トンネル発光素子を作製することを提案する。

p 型 SOI (100) ウエハ (抵抗率 9-18 Ωcm) を熱酸化とウェットエッチングを繰り返すことで、SOI 層の薄膜化を行った。このウエハを熱酸化し、シリコン酸化膜を形成した。酸化膜のパターンニングを行った後に、ITO (indium tin oxide) を蒸着し、熱処理を行った。最後に ITO のパターンニングを行うことでゲート電極とコンタクト電極を作製した。

Fig.1 は SOI 膜厚が 3.7 nm の素子のエレクトロルミネセンス (EL) スペクトルであり、シリコンのバンドギャップである 1.12 eV (1107 nm) よりも高エネルギー側 (短波長側) にピークが現れている。これは、シリコンを薄膜化させるとバンド構造が変化すると同時にサブバンドが生じ、Si のバンドギャップより広いサブバンド間で電子と正孔の再結合が起こったため、Si のバンドギャップより大きなエネルギーの発光が観測されたと考えられる。Fig.2 は外部量子効率と SOI 膜厚の関係をプロットした図であるが、膜厚が薄くなるにつれて外部量子効率が高くなって

いることがわかる。これは間接遷移型の半導体である Si が薄膜化されることによって擬直接遷移型になっていると考えられる。

以上のことから、Si を薄膜化することによって発光効率が高くなり、発光波長が短波長側にシフトすることが分かった。これにより極薄 Si を発光素子として用いることができるのではないかと考えられる。

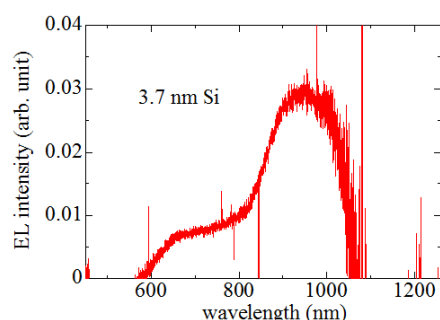


Fig.1. EL spectrum

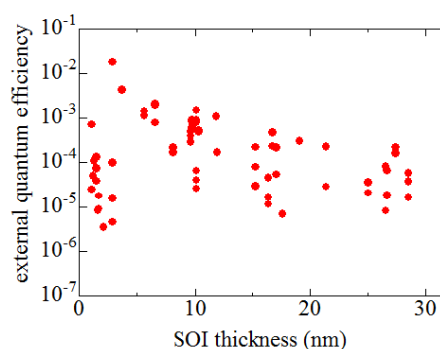


Fig.2. External quantum efficiency vs. SOI thickness

参考文献

- 1) B. K. Agrawal and S. Agrawal: Appl. Phys. Lett. **77** (2000) 3039.
- 2) D. J. Lockwood: Proc. of SPIE **7099** (2008) 70991F.