

Si/CaF₂ 共鳴トンネル構造を用いた 抵抗スイッチング素子のパルス応答特性

Pulsed operation of resistance switching devices using Si/CaF₂ resonant tunneling structures grown on Si(111)

東工大院総理工 ○桑田友哉、須田慶太、傳田純也、越田悠太、渡辺正裕

Tokyo Institute of Technology ○Y. Kuwata, K. Suda, J. Denda Y. Koshita, and M. Watanabe

E-mail: kuwata.y.aa@m.titech.ac.jp

【はじめに】

Si/CaF₂ ヘテロ構造は界面における伝導帯バンド不連続が 2.3 eV と大きく、シリコンと格子整合可能であることに加え、化学結合の様式が異なることに起因する強い相分離傾向を活かして、原子レベルで急峻なヘテロ界面により構成されるナノメートル薄膜多層構造の形成に有利な性質を有することから、室温においても ON/OFF 比が大きく、かつ、高速動作に必要な電流駆動能力を有する共鳴トンネル系集積デバイスの構成材料として有望である。これまでに我々は、CaF₂/Si/CaF₂ 二重障壁共鳴トンネル量子井戸構造[1]の両側に Si と CaF₂ の同時蒸着法により作製するシリコンナノ結晶 (nc-Si) [2]を、サイズ効果によりワイドギャップ化したシリコン第二障壁層として配すことにより、電荷の注入・保持・引き抜きの機能を有する抵抗スイッチングメモリを提案してきた。本構造は、Si 量子井戸を共鳴トンネルフローティングゲートとして用いたコンダクタンス制御型の抵抗変化二端子素子として動作し、クロスポイント型の集積構造により、究極的な微細化の可能性を有する。これまでに、室温において基本的なメモリ動作（書き込み・保持・消去）の実証を報告した[3]。今回、抵抗スイッチング素子のパルス応答特性の評価を行ったので報告する。

【実験方法】

p-Si (111) 0.1° off 基板 ($\rho < 4 \text{ m}\Omega\text{cm}$) を SC-1、SC-2 洗浄後、厚さ 80 nm の熱酸化膜を形成し、ウェットエッチングにより 2 $\mu\text{m}\phi$ の窓を形成した後、保護酸化膜を形成、分子線エピタキシー装置内に搬入し、Si 分子線照射にて保護酸化膜除去後、CaF₂ (1.09 nm) / Si (1.09 nm) / CaF₂ (0.93 nm) / Si (2.79 nm) / CaF₂ (0.93 nm) / n-Si (1.09 nm) / CaF₂ (1.09 nm) の各層を 80 °C で結晶成長を行った。その後、750 °C で 30 分間アニールを行い、Al/Au 電極をリフトオフにより形成して素子の完成となる。

【結果と考察】

作製した素子の室温における I-V 特性を Fig. 1 に示す。ピーク電圧は 1 V、ピーク電流密度は 34 kA/cm²、リセット電圧は -1.45 V、ON/OFF

比は 5.6 であった。直流でのメモリ動作を確認後、半導体デバイスアナライザ (Agilent B1500A) を用いて、入力パルスを生成し、素子に印加した。印加したパルスはセット電圧 1.3 V、リセット電圧 -1.6 V、立ち上がり時間 0.5 msec とし、セット・リセットパルス間に抵抗状態を読み取るリード電圧として 0.3 V を印加した。その結果を Fig. 2 示す。低抵抗状態時セットパルス印加すると、高抵抗状態 ($I_{\text{HRS}}=20 \mu\text{A}$) へと遷移し、リセットパルスを印加すると低抵抗状態 ($I_{\text{LRS}}=132 \mu\text{A}$) へと遷移するメモリ動作を観測した。パルスの繰り返し応答特性等についても議論する。

【参考文献】

[1] M. Tsutsui *et al.*, Jpn. Appl. Phys., **38**[8B], L920 (1999)

[2] 古関他、2011年度秋季第72回応用物理学会 31a-ZH-5

[3] 桑田他、2013年度春季第60回応用物理学会 29a-PB6-7

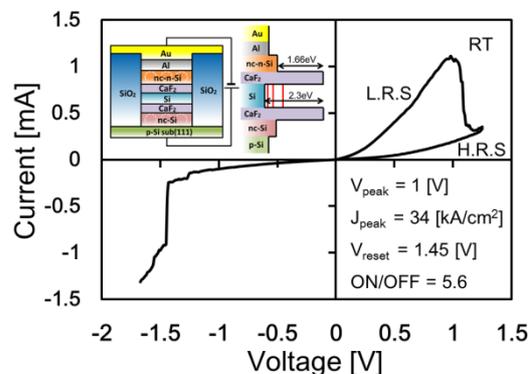


Fig. 1 抵抗スイッチング特性

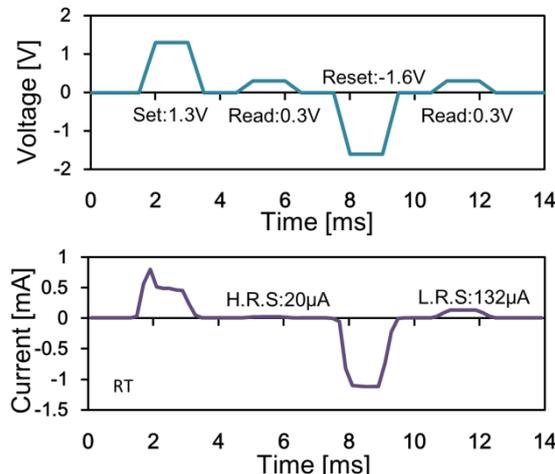


Fig. 2 入力パルス (上)・出力波形 (下)