

バイアス電圧印加 PLD 法による ZnO 薄膜の 薄膜トランジスタによる評価

Evaluation of thin film transistor with ZnO thin film by PLD technique with bias
voltage application

秋田県大システム科学技術

○虻川雄矢, 小宮山崇夫, 長南安紀, 山口博之, 青山 隆

Akita Prefectural Univ.

○Yuya Abukawa, Takao Komiyama, Yasunori Chonan, Hiroyuki Yamaguchi and Takashi Aoyama

E-mail: aoyama@akita-pu.ac.jp

【はじめに】 酸化物半導体を用いた TFT は 1) 高移動度であり, 2) 可視光に対して透明である, という利点から, 次世代のデバイス材料として期待されている. 酸化物半導体 TFT は酸化物を成膜する際の条件によって組成比と特性が変化するが, これを系統的に検討した例は少ない. 我々は, PLD 法でバイアス電圧を印加することにより組成比を精密に制御し, 薄膜の品質向上化を目指している. 今回, バイアス電圧印加 PLD 法による ZnO 薄膜を用いてトップゲート構造の TFT を作成し, I-V 測定の結果から VI/II 比の特性への影響を検討した.

【実験方法】 n^+ -Si(100)基板上に絶縁層として $\text{SiO}_2/\text{SiN}_x$ を蒸着し, 活性層である ZnO 薄膜を形成した. PLD 装置内にはターゲットと基板間にグリッド電極を設置し, これにバイアス電圧を印加して ZnO 薄膜を形成した. 本実験では印加する PLD バイアス電圧を -100 V, 0V, 50V, 100V の 4 条件とし, ZnO 薄膜中の VI/II 比を変えた. 次にソース・ドレイン電極として Ti, ゲート絶縁膜として $\text{SiO}_2/\text{SiN}_x$, ゲート電極として Cr/Au を蒸着した.

【実験結果】 図 1 に PLD バイアス電圧 +50V で作成した TFT の I-V 特性を示す. しきい電圧は 9.2V, 電界効果移動度は $43.8\text{cm}^2/\text{Vs}$, キャリア濃度は $1.28 \times 10^{18}\text{cm}^{-3}$ が得られた. 図 2 に各 PLD バイアス電圧に対する電界効果移動度を示す. +50V において移動度が最大になった. 図 3 に各 PLD バイアス電圧に対するキャリア濃度を示す. 0V においてキャリア濃度が最小になった. 以上より, PLD バイアス電圧 0V~+50V において ZnO 薄膜の組成が化学量論比 1:1 に近づき, 移動度が上昇し, キャリア濃度が減少したと考えられる.

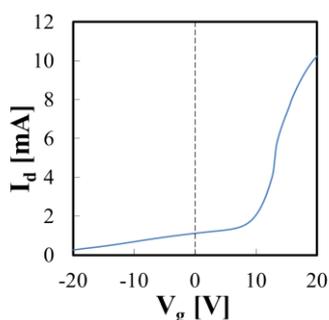


Figure 1. I-V characteristic for TFT

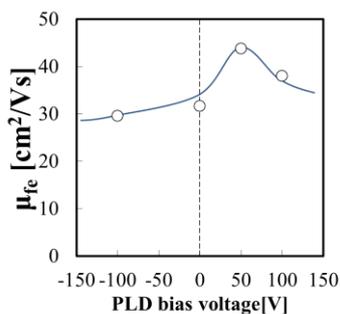


Figure 2. Relationship between PLD bias voltage and field effect mobility

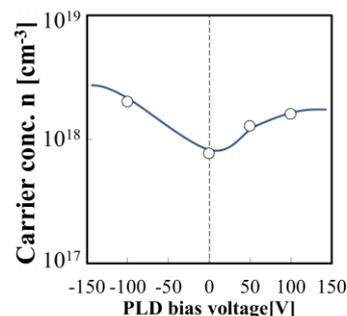


Figure 3. Relationship between PLD bias voltage and Carrier concentration