

ミニマル-メガファブハイブリッドプロセスによるデバイス特性

Characterization of nMOSFET and MOS-capacitor Fabricated by

Minimal Fab and Mega Fab Hybrid Process

産総研¹, ミニマルファブ技術研究組合²

○クンプアンソマワン^{1,2}, 長尾昌善¹, 松川貴¹, 遠藤和彦¹, 昌原明植¹, 原史朗^{1,2}

AIST¹ and MINIMAL²

○Sommawan Khumpuang^{1,2}, Masayoshi Nagao¹, Takashi Matsukawa¹, Kazuhiko Endo¹,
Meishoku Masahara¹, and Shiro Hara^{1,2}

Email: sommawan.khumpuang@aist.go.jp

【はじめに】我々はミニマルファブの開発を 2010 年から始めており、マスクレス露光にて $1\mu\text{m}$ の解像度を達成している[1]。しかし現時点では、ミニマルイオン注入装置やミニマル CVD 装置は開発途上で、デバイス試作レベルでは利用可能になっていない。そこで、当面は、ミニマル装置が開発されていないプロセスだけを既存の装置を用い、開発されたミニマル装置と組み合わせる、ミニマル-メガハイブリッドプロセスが有効である。今回、我々は、ミニマルフォトリソグラフィシステム（コーター、マスクレス露光装置、デベロッパー）を用い、それ以外のプロセスは既存装置を用いるハイブリッド手法を用いて、デバイス試作を行ったので、報告する。

【実験】p 型ハーフインチウェハ基板上に、4 マスクパターンでポリシリコンゲート MOSFET（ゲート長/幅： $1\mu\text{m}/20\mu\text{m}$, $2\mu\text{m}/20\mu\text{m}$, $10\mu\text{m}/100\mu\text{m}$ ）を試作した。ゲート酸化の際にエリプソメーターより測定された膜厚は、 3.2nm である。ハーフインチウェハ面内で 4×4 アレイの MOSFET と MOS キャパシタが形成されている。図 1 に、完成した一つのアレイの光学顕微鏡写真を示す。

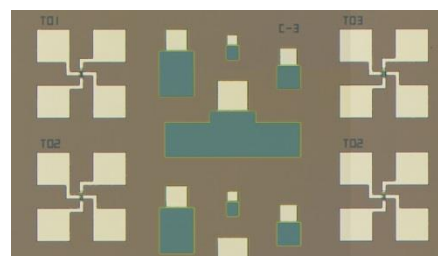


図 1 ハイブリッドプロセスにおける、MOSFET 及び MOS キャパシタ試作写真

【結果】図 2 に MOSFET の $I_{\text{DS}}-V_{\text{DS}}$ 特性を示す。ゲート電圧を上げて行くほどドレイン電流の増分が大きくなる良好で、設計通りの MOS 特性が得られた。図 3 に $V_{\text{DS}}=50\text{mV}$ の場合の MOSFET の $\text{Log } I_{\text{D}}-V_{\text{G}}$ 特性を示す。試作した MOSFET のサブスレッショルド特性（S 係数）は $70\text{mV}/\text{DEC}$ であり、スイッチング特性として良い値であると言える。MOSFET と同一ダイ上に形成した MOS キャパシタの C-V 特性を測定した結果（図 4）、最大容量より求めたゲート絶縁膜厚（CET）は 3.0nm と、物理膜厚と良い一致を見せている。

【結論】ミニマルリソグラフィー装置と大型装置を併用し、ハーフインチウェハ上に一般的なトランジスタを試作した。増幅特性、OFF 時のリーク電流特性とも、大変良好な MOSFET が形成できた。このことは、ハイブリッド手法により、ミニマルのマスクレスの利点生かしたデバイス試作が十分に可能であることを実証するものである。

【文献】[1] クンプアン、“ミニマルファブにおけるデバイスプロセス開発事例” クリーンテクノロジー 23、12（2013）11.

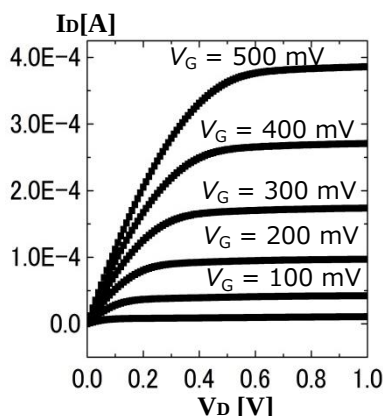


図 2 MOSFET の $I_{\text{D}}-V_{\text{D}}$ 特性

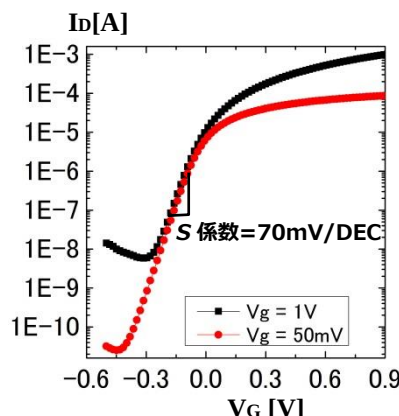


図 3 MOSFET の $\text{Log } I_{\text{D}}-V_{\text{G}}$ 特性

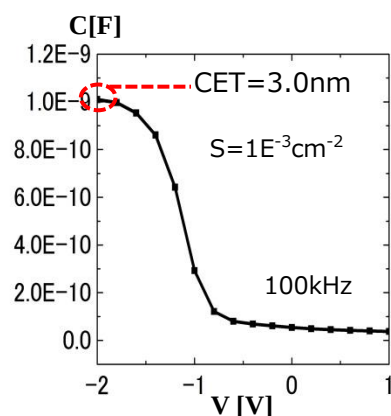


図 4 MOS キャパシタの C-V 特性