19a-E3-4

スクリーン印刷膜厚均一化による全層印刷 CNT トランジスタの歩留り向上

Improvement of Non-defective Rate for All Layer Printed CNT Transistors with Thickness Uniformization of the Screen Printed Layers

NEC[1], TASC[2], ○中島嘉樹[1]，殿内規之[1]，二瓶史行[1,2]，遠藤浩幸[1]

NEC[1], TASC[2], °Yoshiki Nakashima[1], Noriyuki Tonouchi[1], Fumiyuki Nihey[1,2], Hiroyuki Endoh[1]

E-mail: y-nakashima@bu.jp.nec.com

【はじめに】電子回路作製法としての印刷法は、真空成膜プロセスを必要とせず、また低温プロセスであるため、従来のフォトリソグラフィ法に対し低コスト・低環境負荷・基板選択性の点で優位であり、その実用化が期待されている。中でもスクリーン印刷法は、低コスト性、短タクト性に優れるため量産に適しており、かつ、配線、電極、絶縁膜等のパターニングが可能である為期待が大きい。一方で、スクリーン印刷法は膜厚がばらつく為、特に印刷回路のアクティブ素子として用いられる薄膜トランジスタ(TFT)のゲート絶縁膜形成法として採用される場合、TFT の歩留りに悪影響を与える。TFT の特性向上のためにはゲート絶縁膜の薄膜化が必要であるが、薄膜で膜厚がばらつく場合、薄い部分でリーク電流が発生するためである。そこで我々は、スクリーン印刷法の膜厚均一化による TFT の歩留り改善を試みた。

【実験】膜厚均一化の為、スクリーン印刷法のクリアランス、マスクメッシュ厚、印圧について、最適条件を求めた。結果、クリアランスを従来条件である 700μm から 1100μm とし、マスクメッシュ厚を 60μm から 20μm とし、印圧を 0.1MPa から 0.3MPa とすることで、従来 71%であった膜厚ばらつきの相対標準偏差(R.S.D.)を 17%にまで低減することができた(Fig.1)。この条件をゲート絶縁膜(シリカ配合ポリマー)形成に適用しつつ、ゲート電極(銅ナノペースト)、ソース・ドレイン電極(銀ナノペースト)とともにスクリーン印刷法で 15cm□のポリエチレンナフタレートフィルム上に形成した。更にディスペンサにて半導体純度 98%の CNT インクをその上に滴下し、CNT-TFT とした。

【結果】作製した TFT はチャネル長 L=20～200μm, チャネル幅 W=300μm である。各 TFT 素子の特性を測定したところ、リーク電流が発生せず、かつゲート電圧の変化に伴うドレイン電流の変化が観察され、トランジスタとして動作していると認められる TFT 素子が 78.4%存在した(膜厚均一化検討前は 1.9%であった)。その中で、典型的な特性の素子は、移動度 0.25cm^2/Vs、ON/OFF 比 2.7×10^4 であった(Fig.2)。

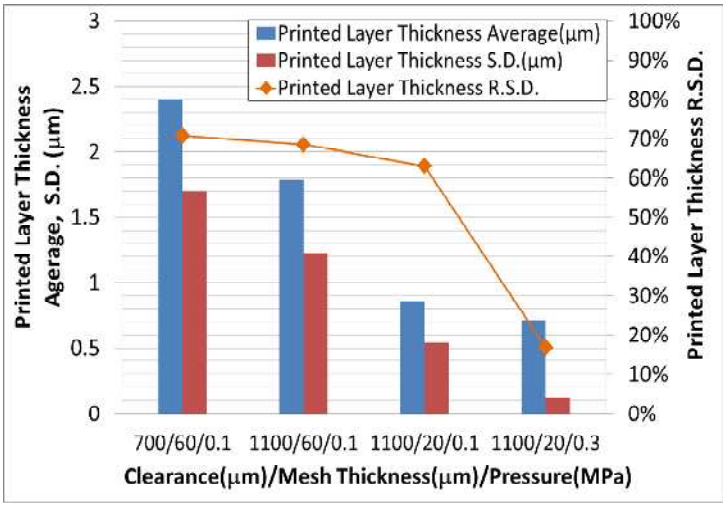

Fig.1 Screen printing conditions and printed layer thickness properties.

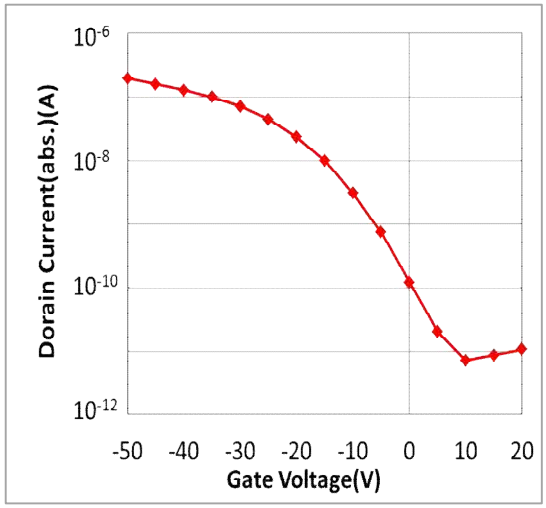

Fig.2 I-V characteristics for the developed transistor.

© 2014 年　応用物理学会