

# 全工程をミニマル装置で作製した MOSFET の電気的特性

Electrical Characteristics of MOSFETs Fabricated by Full MINIMAL Equipment

ミニマルファブ技術研究組合<sup>1</sup>, 産総研<sup>2</sup>

○居村 史人<sup>1</sup>, 古賀 和博<sup>1</sup>, 浅野 均<sup>1</sup>, クンプアン ソマワン<sup>1,2</sup>, 原 史朗<sup>1,2</sup>

MINIMAL<sup>1</sup> and AIST<sup>2</sup>

○Fumito Imura<sup>1</sup>, Kazuhiro Koga<sup>1</sup>, Hitoshi Asano<sup>1</sup>, Sommawan Khumpuang<sup>1,2</sup> and Shiro Hara<sup>1,2</sup>

E-mail: fumito.imura@minimalfab.com

【はじめに】 半導体工場の巨大設備投資を回避し、顧客が求める電子デバイスを必要なときに必要なだけ提供するデバイス生産システム（ミニマルファブ構想）の実現に向けて、我々は、クリーンルームを不要とする局所クリーン化ウエハ搬送システム、φ12.5mm の超小口径ウエハ、それに 30cm 幅のミニマル装置群の開発を行ってきた。現時点で、前工程プロセスに必要なミニマル装置はほぼプロトタイプが開発されており、**ミニマルファブは本当にデバイスができるシステムである**ことを実証することが、克服すべき大きな課題となってきた。イオン注入装置と CVD 装置は開発途上にあるため、現時点で電子デバイスを作成するには、これらを用いないプロセスでデバイスを作らなければならない。我々はイオン注入と CVD を用いず、クリーンルームではなく一般的なオフィス環境において、全 39 工程 15 台のミニマル装置のみを用い、MOSFET を作製し、トランジスタ動作させるのに成功したので報告する。

【実験】 ウェハには抵抗率 16~18Ω-cm、*n* 型 Si(100)基板を使用した。ミニマルイオン注入装置が開発中で利用できないため、ゲート部のセルフアライメント手法が活用できない。そこで、ソース/ドレインの *p*<sup>+</sup>領域と Al ゲートの重なりをそれぞれ 2μm と十分に重なり合うように設計した。ゲート長は 14μm である。フルミニマルプロセスインテグレーションの詳細は、同じセッションの別の発表で詳しく述べる。

【結果】 図 1 に作製した Al ゲート *p* チャネル MOSFET の光学顕微鏡写真、図 2 にドレイン電流-ドレイン電圧特性を示す。ドレイン電圧立ち上がり領域では、その増加に対してドレイン電流が線形的に増加する。ドレイン電圧が大きい領域では、チャンネル部の空間電荷領域の拡大によるピンチオフによるドレイン電流の飽和傾向が見られる。ピンチオフは、MOSFET の典型的な特徴である。ここでは示していないが、ドレイン電流-ゲート電圧特性から求めた閾値電圧は -0.8V であった。ゲート部に汚染がある場合、閾値電圧は大きくシフトしてしまうが、そのような大きなシフトは見られなかった。また、ゲート電圧を大きくするほど、ドレイン電流が流れやすくなる傾向、すなわち transconductance ( $g_m = \partial I_{Dsat} / \partial V_g$ ) が  $V_g$  に比例する MOSFET の典型的な傾向が見られる。このように、典型的なエンハンスメント型 *p* チャネル MOSFET のトランジスタ特性が得られた。

以上から、不純物ドーピング、ゲート酸化膜形成、ウエハ洗浄・乾燥などを含む、開発したフルミニマルプロセスの有効性が示された。さらに、クリーンルームを必要とせず、ウエハ密閉化搬送システムとミニマル装置群で構成されたミニマルファブが、デバイス製造能力を持つことが実証された。

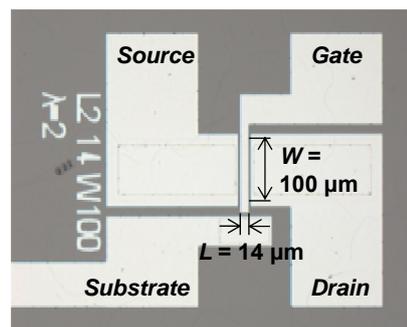


図 1 Al ゲート *p*-MOSFET の光学顕微鏡写真

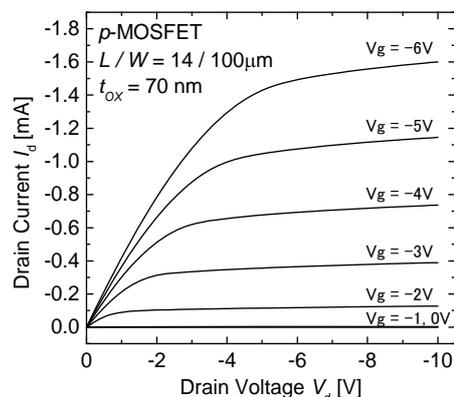


図 2 Al ゲート *p*-MOSFET の  $I_d$ - $V_d$  特性



図 3 実際に図 1,2 の MOSFET を作成した場所である SEMICON JAPAN 2013 のイベント会場と、そのミニマル装置群