

# 極薄 $\text{AlO}_x$ 層挿入による High-k/Ge 界面反応制御機構の解析

## Investigation of Suppression Mechanism of High-k/Ge Interfacial Reaction

### Using Ultrathin $\text{AlO}_x$ Insertion

TRC<sup>1</sup>, 阪大院工<sup>2</sup> ○小川 慎吾<sup>1, 2</sup>, 川崎 直彦<sup>1</sup>, 木村 耕輔<sup>1</sup>, 田中 亮平<sup>2</sup>, 箕浦 佑也<sup>2</sup>,  
細井 卓治<sup>2</sup>, 志村 考功<sup>2</sup>, 渡部 平司<sup>2</sup>

Toray Research Center Inc.<sup>1</sup>, Graduate School of Engineering, Osaka University<sup>2</sup>,

○S. Ogawa<sup>1, 2</sup>, N. Kawasaki<sup>1</sup>, K. Kimura<sup>1</sup>, R. Tanaka<sup>2</sup>, Y. Minoura<sup>2</sup>,

T. Hosoi<sup>2</sup>, T. Shimura<sup>2</sup>, and H. Watanabe<sup>2</sup>, E-mail: Shingo\_Ogawa@trc.toray.co.jp

【はじめに】Si より高いキャリア移動度を有する Ge が MOSFET のチャネル材料として期待されている。高移動度 Ge-MOSFET の実現には、EOT 1 nm 以下の高品質な Metal/High-k/Ge ゲートスタック構造の形成技術が必要である。これまでに共著者らにより  $\text{HfO}_2/\text{GeO}_x/\text{Ge}$  スタック構造の形成に関して、プラズマ酸化による  $\text{HfO}_2$  膜および  $\text{GeO}_x$  界面層の形成が有効であること[1]、さらに  $\text{HfO}_2/\text{GeO}_x$  界面への極薄  $\text{AlO}_x$  層の挿入が  $\text{HfO}_2/\text{GeO}_x$  界面反応の抑制ならびに電気特性劣化の抑制に効果的であることが確認されている[2]。本研究では High-k/Ge 界面反応メカニズムのさらなる理解のため、 $\text{Pt}/\text{HfO}_2/\text{AlO}_x/\text{GeO}_x/\text{Ge}$  スタック構造を形成した試料の High-k/Ge 界面構造を高空間分解能 STEM-EELS により詳細に調べ、 $\text{HfO}_2/\text{GeO}_x$  界面への極薄  $\text{AlO}_x$  層挿入の効果を調べたので報告する。

【実験】p 型Ge(100)基板を洗浄し、超高真空中で550°C、10 分間の表面清浄化アニールを施した。その後、一部の試料に約0.3 nm の $\text{AlO}_x$  膜を室温で堆積し、室温で5 分間の ECR プラズマ酸化を施して $\text{AlO}_x/\text{GeO}_x/\text{Ge}$ 構造を形成した。High-k膜として、電子ビーム蒸着により $\text{HfO}_x$  を1 nm 堆積し、その後再び室温で ECR プラズマ酸化を行い、ゲート電極としてPt を3 nm堆積した。以上のプロセスは全て真空中で連続して実施した。比較として、1 nm の金属Hf 膜をGe 基板上に直接堆積後、300°C でプラズマ酸化を施した  $\text{Pt}/\text{HfO}_2/\text{GeO}_x/\text{Ge}$  スタックも作製した。作製した試料のスタック構造および元素分布を球面収差補正 (Cs-corrected) STEM-EELSにより評価した。

【結果】真空中で 500°C、10 分の熱処理を施した  $\text{Pt}/\text{HfO}_2/\text{GeO}_x/\text{Ge}$  及び  $\text{Pt}/\text{HfO}_2/\text{AlO}_x/\text{GeO}_x/\text{Ge}$  スタック構造の断面 STEM 像及び EELS 元素分布を Fig. 1 に示す。極薄  $\text{AlO}_x$  層を挿入していない試料[Fig. 1(a)]では、 $\text{HfO}_2$  膜と Ge 基板の界面層 (I. L.) が厚く、また、EELS プロファイルより、Ge が  $\text{HfO}_2$  膜中を拡散し Pt 電極と  $\text{HfO}_2$  膜の界面に偏析していることがわかる。一方、極薄  $\text{AlO}_x$  層を挿入すると[Fig. 1(b)]、界面層の増膜と Ge の拡散は抑制されており、 $\text{HfO}_2/\text{Ge}$  界面反応が抑制されたことがわかる。【参考文献】[1] T. Hosoi *et al.*, Microelectronic Engineering **109**, 137 (2013). [2] 田中 他, 第 74 回応用物理学会秋季学術講演会, 17p-B5-17 (2013).

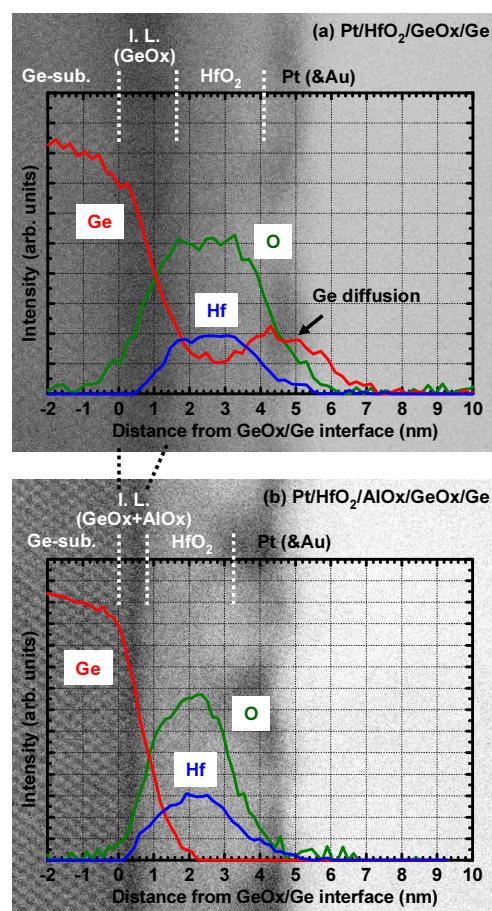


Fig. 1 Cross-sectional STEM images and EELS depth profiles of (a)  $\text{Pt}/\text{HfO}_2/\text{GeO}_x/\text{Ge}$  and (b)  $\text{Pt}/\text{HfO}_2/\text{AlO}_x/\text{GeO}_x/\text{Ge}$  stacks annealed at 500°C.