スパッタリングより形成した Al₂0₃膜をゲート絶縁膜とする CLC 低温 poly-Si TFT

Low-Temperature CLC poly-Si TFTs with Sputtered Al₂O₃ Gate Dielectric Layer

東北学院大工 ○目黒達也,千田大樹,原明人

Tohoku Gakuin Univ. [°]Tatsuya Meguro, Daiki Chida, and Akito Hara E-mail: s1394306@tjcc.tohoku-gakuin.ac.jp

1. はじめに

AMOLED, AMLCD, システムオンガラス (SOG), フ レキシブルエレクトロニクス, 3D-LSI などの用途として 注目される高い電流駆動能力を有する poly-Si TFT にお いては,ゲート絶縁膜容量とキャリア移動度の増加が電 流駆動能力向上のカギとなる.スパッタリング法は,デ ィスプレイ製造においてガラス基板上の薄膜形成の標準 的技術である.スパッタリング法によって高品質な high-kゲート絶縁膜を形成することが出来れば,低温 poly-Si TFT の性能向上の強力な手段となる.また,チャ ネル領域のキャリア移動度を増加させる技術として高品 質のラテラル大粒径 poly-Si 薄膜が有用である.本研究で

(a)		T
ŧΑ	morphous Si	Al ₂ O ₃ etching
•C	rystallization	Ion implantation
φT	ransistor island	SiO ₂ Interlayer
•G	ate Al ₂ O ₃	Activation
∳C	02 Annealing	Contact hole
•N	to sputtering	Electrodes
₽N	Io etching	Hydrogenation



Fig. 1. (a) and (b) TFT fabrication procedure and photomicrograph.

は大粒径 CLC poly-Si 薄膜 ^{1,2)}と high-k ゲート絶縁膜である Al₂O₃を融合し, high-k CLC LT poly-Si TFT の可能性を検討した.

2. 実験

図1(a)と(b)にTFTの作製プロセスと写真を示す.なお、本実験では、電流の流 れる方向が結晶粒界の方向と平行なTFT (図 1(b), parallel型)と垂直なTFT (perpendicular型, 図示せず)を作製した。

3. 結果と考察

図2は、スパッタ法で形成した $Al_{2}O_{3}$ の CV 特性を示す。As デポおよび 550 C 酸素雰囲気 30 分の熱処理による結果を示している、多少ヒステリシスを有する が概ね良好な結果が得られている。図3 (a) および (b) はそれぞれ、ゲート長 (L) とゲート幅 (W) が L/W=20/10 μ m の $Al_{2}O_{3}$ をゲート絶縁膜とする CLC poly-Si TFT のトランスファ特性および出力特性である。トランスファ特性は、 ヒステリシスを観測するためゲート電圧を双方向に掃引して測定を行った。その 結果、parallel TFT は s.s.が 240 mV/dec という優れた性能を示し、一方で perpendicular TFT は、s.s.=740 mV/dec という性能を示した.また、両 TFT ともヒステリシスは観察されない.

TFT の断面 TEM 観察, EDX, EELS から, ゲート 絶縁膜は上層の Al_2O_3 と下層の SiO₂ から構成され ていることが明らかになった(図4).この結果と CV 特性から Al_2O_3 の比誘電率は 5.6 であることが 明らかになった。また, parallel TFT の電界効果移 動度は 160 cm²/Vs である.これらの高い性能はス パッタ high-k ゲート絶縁膜を有する CLC LT poly-Si TFT の可能性を示すものである.

4.結論

高誘電率ゲート絶縁膜と CLC poly-Si TFT を組み 合わせた high-k CLC LT poly-Si TFT を作製し,電界 効果移動度 160 cm²/Vs, s.s=240 mV/dec という高い 性能を達成した.この結果は, high-k CLC LT poly-Si TFT の可能性を示すものである.

5. 謝辞

本研究は科学研究費基盤 (C) 22560341, (C) 25420339の支援により行われた. また,一部は平成25年度JST A-STEPの支援を受けている.

参考文献

1) A. Hara et al.: Jpn. J. Appl. Phys.41 (2002).L311., 2) A. Hara et al.: Jpn. J. Appl. Phys. 43 (2004) 1269.



Fig. 2. Bidirectional C-V curve of an MOS capacitor







Fig. 4. Cross sectional TEM of CLC poly-Si TFT