19p-PG3-14

高温イオン注入によるメタルゲート/high-k SOI FinFETs の高性能化

High Performance Metal Gate/high-k SOI FinFETs by Heated Ion Implantation 産総研-NeRI¹, 日新イオン機器株式会社² ⁰水林 亘¹, 鉄田 博², 中島 良樹², 石川由紀¹, 松川 貴¹, 遠藤和彦¹, 柳 永勛¹, 大内真一¹, 塚田順一¹, 山内洋美¹, 右田真司¹, 森田行則¹, 太田裕之¹, 昌原明植¹

¹NeRI -AIST, ²Nissin Ion Equipment Co., Ltd., [°]W. Mizubayashi¹, H. Onoda², Y. Nakashima², Y. Ishikawa¹, T. Matsukawa¹, K. Endo¹, Y. X. Liu¹, S. O'uchi¹, J. Tsukada¹, H. Yamauchi¹, S. Migita¹, Y. Morita¹, H. Ota¹, and M. Masahara¹ E-mail: w.mizubayashi@aist.go.jp

【はじめに】14nm技術世代以細のSiチャネル FinFETsにおいてFin厚は10nm以下まで薄膜化される。 極薄 FinFETsにおいて、通常のイオン注入ではソース/ドレイン(S/D) Extensionの抵抗増大が課題とな る。これは、イオン注入により極薄 Fin領域全面がアモルファス状態となるため、活性化アニールを行 ったとしても多結晶が形成され、また、欠陥が生成される[1]。最近、サンプルを加熱しながらイオン 注入する高温イオン注入が注目されている[2,3]。高温イオン注入の場合、イオン注入された領域は結 晶状態が保たれ、活性化アニールにより欠陥フリーな結晶が得られる[2]。さらに、高温イオン注入に より、バルク n型 FinFETsにおいて I_{on}-I_{off} 特性の改善が報告されている[3]。

本研究では、高温イオン注入が極薄 SOI 層の結晶状態、メタルゲート/high-k SOI n型 FinFETs のオン電流に及ぼす影響を調べた。

【実験方法】厚さ 11nm の(110)SOI 層に FinFETs のソース/ドレイン Extension 形成と同条件で室温も しくは高温 (注入温度:500℃) イオン注入を行い (イオン注入条件: As⁺, 5keV, 10¹⁵cm⁻²) (図 1(a)、2(a))、 活性化アニール前後の SOI 層を断面 TEM 観察した。

メタルゲート/high-k SOI n 型 FinFETs を作製した。(110)fin チャネルを(100) SOI 上に形成した。 Doped-poly-Si/TiN/HfO₂/SiO₂ ゲートスタックを形成し、パターニングを行った。S/D Extension は、室温 もしくは高温(注入温度:500°C)イオン注入により形成した(イオン注入条件:As⁺,5keV,全注入量 $2x10^{15}$ cm⁻²)。915°C、2 秒の活性化アニールを行った。最後に、配線工程を行った。

【結果及び考察】高温イオン注入が極薄 Fin の結晶状態に及ぼす影響を理解するため、断面 TEM 観察 により室温もしくは高温イオン注入後の極薄 SOI 層の結晶状態を調べた(図 1、2)。室温イオン注入 の場合、イオン注入後、SOI 層全体がアモルファス層となる(図 1(b))。活性アニール後、多結晶及び 双晶が形成される(図 1(c))。これは、イオン注入後の SOI 層に種結晶が無いので、結晶回復出来ない ことを意味する。一方、高温イオン注入では、イオン注入後も結晶状態が維持される(図 2(b))。さら に、活性化アニールにより結晶回復する(図 2(c))。つまり、高温イオン注入により、極薄 Fin 領域へ 欠陥フリーな S/D Extension 形成が可能となる。

図 3 に n 型 FinFETs における I_{on}分布を示す。高温イオン注入を行った FinFETs は、室温イオン注入 に比べ、I_{on}が向上する。これは、高温イオン注入における S/D Extension の抵抗が室温イオン注入に比 ベ小さいためである。従って、高温イオン注入により SOI FinFETs の性能向上が可能となる。 [参考文献] [1] R. Duffy et al., ESSDERC, p.334 2008. [2] H. Onoda et al., Ext. Abs. the 13th Int. Workshop on Junction Tech., p. 66, 2013. [3] M. Togo et al., Symp. on VLSI Tech. Dig., p. T196, 2013.



Fig. 1. (a) Schematic illustration of RT I/I, (b) cross-sectional TEM image of 11-nm-thick SOI just after RT I/I, and (c) 11-nm-thick SOI after annealing.





Fig. 2. (a) Schematic illustration of heated I/I, (b) cross-sectional TEM image of 11-nm-thick SOI just after heated I/I, and (c) 11-nm-thick SOI after annealing.

Fig. 3. I_{on} distributions in nMOS FinFETs and processed by RT I/I or heated I/I.