

## Ge-*n*MOSFET 向け *n*<sup>+</sup>-Ge/*n*<sup>+</sup>-SiGe 積層ストレッサーによる Ge チャンネルへのひずみ導入および寄生抵抗の低減

### Introduction of strain to Ge channels and reduction of parasitic resistance by epitaxially grown *n*<sup>+</sup>-Ge/*n*<sup>+</sup>-SiGe stacked stressors for Ge-*n*MISFETs

産総研 GNC<sup>1</sup>, 阪大院基礎工<sup>2</sup> ○守山 佳彦<sup>1,2</sup>, 上牟田 雄一<sup>1</sup>, 鎌田 善己<sup>1</sup>, 池田 圭司<sup>1</sup>, 竹内 正太郎<sup>2</sup>, 中村 芳明<sup>2</sup>, 酒井 朗<sup>2</sup>, 手塚 勉<sup>1</sup>

GNC-AIST<sup>1</sup>, Osaka Univ.<sup>2</sup> ○Yoshihiko Moriyama<sup>1,2</sup>, Yuuichi Kamimuta<sup>1</sup>, Yoshiki Kamata<sup>1</sup>, Keiji Ikeda<sup>1</sup>, Shotaro Takeuchi<sup>2</sup>, Yoshiaki Nakamura<sup>2</sup>, Akira Sakai<sup>2</sup> and Tsutomu Tezuka<sup>1</sup>

E-mail: yoshihiko3.moriyama@aist.go.jp

**[背景]** Ge は、そのキャリア移動度の高さから、高性能 CMOS への応用が期待されている。さらに、その Ge チャンネルに 1% 程度の一軸引張りひずみを導入することで、無ひずみ Si に比べ約 4 倍の電子移動度が得られることが予測されている[1]。引張りひずみの導入方法としては、Ge より格子定数の小さい高 Ge 濃度 SiGe を、選択成長によりストレッサー SD として採用することが有望であるが、ストレッサー形成による寄生抵抗の増加を抑制するためには、そのストレッサー層の電子濃度がおよそ  $1 \times 10^{20} \text{cm}^{-3}$  の *n*<sup>+</sup>領域であることが強く求められる。我々は、in-situ P doping により、*n*<sup>+</sup>-Ge 領域形成が可能なことを示したが[2]、高 Ge 濃度 SiGe 中における、*n* 型ドーパントの拡散挙動やドーピング特性に関しては、いまだ報告例が見当たらない。今回、CVD による in-situ P doped SiGe 選択成長を試み、P ドーピング特性、Ti 電極との接触抵抗、選択成長性、並びに Ge チャンネル中に印加されたひずみ量を評価した。

**[実験方法]** SiGe 中の P 濃度およびキャリア濃度を求めるため、LP-CVD により、*p*-Ge 基板上に P-doped SiGe (SiGe:P)層を堆積した。この時の成長温度、成長圧力はそれぞれ、400°C および 15 Torr である。また、成長時の SiO<sub>2</sub> マスクに対する選択性を評価するため、SiO<sub>2</sub> ダミーゲートパターンを有する Ge 基板上に、60nm のリセス形成後、約 70nm の *n*<sup>+</sup>-SiGe 層を堆積した。また TLM 法でコンタクト抵抗を評価するため、Ti を 65nm 厚の *n*<sup>+</sup>-SiGe 上に堆積し、TLM パターンを作製した。トランジスタ構造は TEM により観察した。P 濃度は SIMS で、キャリア濃度は SRP で評価した。Ge チャンネル中のひずみ量は、ラマン分光測定から抽出した。

**[結果および考察]** P 濃度およびキャリア濃度の Ge 組成依存性を Fig.1 に示す。Ge 濃度が低下するにつれ、大幅なキャリア濃度低下が確認された。これは、SiGe 中では P が Si 近傍に偏析し、不活性化するという理論予測に従っているものと推測できる[3]。この結果から、SiGe:P 膜では、接触抵抗を低減しうる程度のキャリア濃度を実現できず、ひずみ印加と接触抵抗低減を両立できない。そこで、高キャリア濃度の P-doped Ge (Ge:P)層を上層にもつ、Ge:P/SiGe:P スタック構造を検討した。本構造に対し TLM パターンを作製し、Ti との接触抵抗を求めたところ、SiGe:P(x=0.7)単層での  $1 \times 10^{-4} \Omega \text{cm}^2$  に対し、 $7 \times 10^{-7} \Omega \text{cm}^2$  と低い接触抵抗が得られた(Fig.2)。次に、作製したひずみ Ge トランジスタ構造を Fig.3 に示す。一般的に、V 族元素ドーピングや Ge 組成低下により、SiO<sub>2</sub> に対する選択性が低下することが知られているが、SiO<sub>2</sub> 上に核生成された様子は無く、エッチングガスを用いなくとも高い選択性を有することが確認できる。70nm 厚ストレッサー(x=0.7)により印加された、Ge チャンネル中一軸ひずみ量のダミーゲート長依存性を Fig.4 に示す。同じ厚さの SiGe:P 単層ストレッサーと比較すると、SiGe 層厚が減少することにより Ge:P/SiGe:P 積層ストレッサーによるひずみ量は低下するものの、1.4%(@L<sub>g</sub>=54nm)という電子移動度向上に充分なひずみが印加されていることが確認された。これらの結果から、Ge:P/SiGe:P 積層ストレッサーを採用することにより、大きなひずみ印加と低接触抵抗の両立が可能となり、高駆動力を有するひずみ Ge-*n*MISFET の実現が近づいたと考えられる。

[1] Y.-J. Yang et al., APL91, 102 (2007), [2] Y. Moriyama et al., Proc. of ICSI-8, 29 (2013), [3] A. Chroneos et al., Mat. Sci. Eng. B154-155, 72 (2008) **[謝辞]** 本研究は、政府の最先端研究開発支援プログラムにより、助成されたものです。

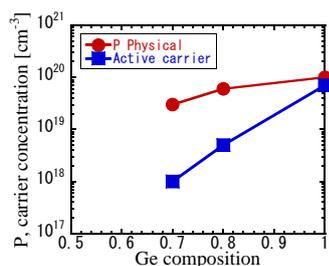


Fig.1: P-doped SiGe 薄膜中の P 濃度および生成したキャリア濃度

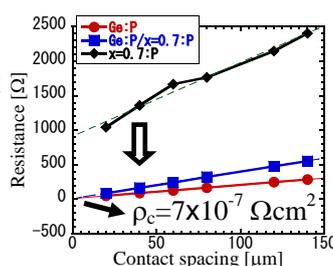


Fig.2: TLM 測定による、Ge:P、SiGe:P(x=0.7)の抵抗値

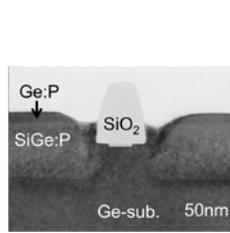


Fig.3: ダミーゲート除去前の Ge チャンネル断面像

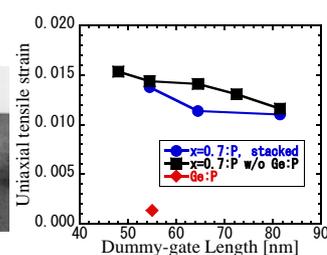


Fig.4: Ge チャンネル中のひずみ量