

W₂C 電極導入による La-silicate/Si における平坦な界面の実現

Atomically flat interface of La-silicate/Si with W₂C gate electrodes

東工大フロンティア¹, 東工大総理工², °細田修平¹, カマリ トクダレハン¹, 角嶋 邦之², 片岡 好則², 西山 彰², 杉井 信之², 若林 整², 筒井 一生², 名取 研二¹, 岩井 洋¹

Tokyo Tech. FRC¹, Tokyo Tech. IGSSE², °S.Hosoda¹, K. Tuokedaerhan¹, K. Kakushima², Y. Kataoka², A. Nishiyama², N. Sugii², Hitoshi Wakabayashi², K. Tsutsui², K. Natori¹, H. Iwai¹

E-mail: hosoda.s.aa@m.titech.ac.jp

【はじめに】 La₂O₃/Si 界面の La-silicate は、界面特性が良好であり[1]、将来必要とされる EOT=0.5 nm を実現するためにゲート絶縁膜として有望である。しかし、EOT が 1 nm 以下になるとゲート電極の影響により界面特性の劣化を引き起こす[2]。本研究では、W と C を交互に積層して窒素雰囲気中で 800°C の熱処理を行うと、界面特性の良好な W₂C ゲート電極が実現できた。W ゲート電極の場合と比較して界面特性を評価した。

【実験方法】 SPM 洗浄後に HF 処理した Si(100) 基板上に電子線蒸着法を用いて La₂O₃ を堆積した。絶縁膜の堆積後、真空一貫で RF スパッタリング法により膜厚 10 nm となるまで W 及び C を交互に堆積する積層構造とした。その後 RF スパッタリング法によって W/C 電極上にバリア層である TiN を 10 nm 堆積し、続いて Si 層を 100 nm 堆積した。フォーミングガス雰囲気中(H₂:N₂=3%:97%)で 800°C の熱処理を行い、裏面に Al コンタクトを形成した。最後にフォーミングガス雰囲気中で 420°C、30 分間の熱処理(FGA)を施した。

【結果】 Fig.1 にコンダクタンス法により得られた界面準位密度 (D_{it}) と EOT の関係を示す。W₂C 電極を用いることで、D_{it} を 3 × 10¹¹ cm⁻²eV⁻¹ 以下まで抑えることができた。Fig2 は、W₂C と W ゲート電極のキャパシタの TEM による断面図を示す。ゲート電極が W のキャパシタに比べて、metal/high-k 界面と high-k/Si 界面でより平坦な界面が形成されていることがわかる。W₂C 電極を導入することで、より良好な界面特性が期待できる。

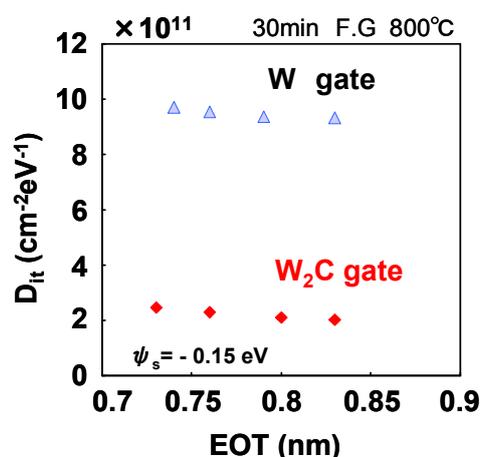


Fig.1 D_{it} dependency on EOT for W and W₂C metal gate electrodes.

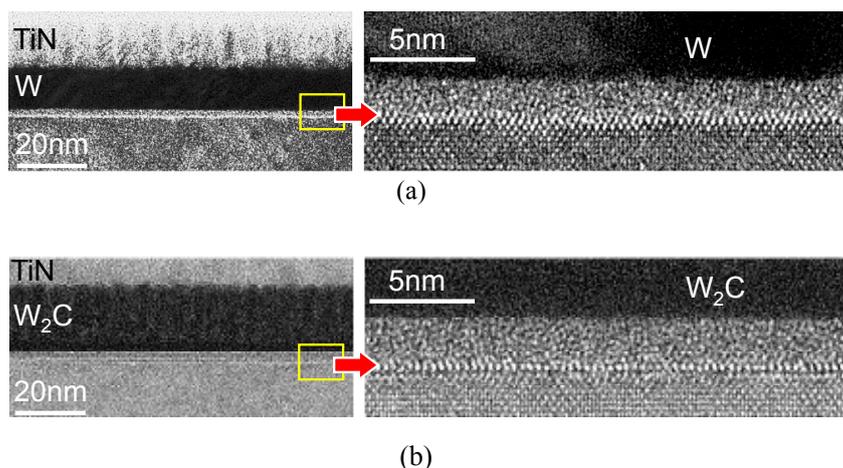


Fig.2 Cross sectional TEM images of the La-silicate capacitor with (a) W and (b) W₂C gate electrode.

[1]K. Kakushima et al., Solid-State Electron. Vol.54, pp. 715-719(2010)

[2]T. Kawanago et al., IEEE Trans. ED, Vol.59, pp.269-276(2012)