

Mg₂Si-Si ヘテロ接合トンネル FET 特性の構造依存性Effect of Device structure on Mg₂Si-Si Hetero-junction Tunneling FET

東工大フロンティア研¹, 東工大総理工², 早大理工³ ○呉研¹, 長谷川明紀¹ 角嶋邦之², 渡辺孝信³,
片岡好則¹, 西山彰², 杉井信之², 若林整², 筒井一生¹, 名取研二¹, 岩井洋¹

Tokyo Tech. FRC¹, IGSSE², Waseda Univ.³ ○Yan Wu¹, H. Hasegawa¹, K. Kakushima², T.Watanabe³,
Y. Kataoka², A. Nishiyama², N. Sugii², H. Wakabayashi², K. Tsutsui², K. Natori¹, H. Iwai¹,
E-mail: yan.w.ab@m.titech.ac.jp

背景及び目的

Tunneling FET は Subthreshold swing (SS) を原理的に低減させる急峻なスイッチデバイスとして注目されている[1]。しかし、キャリア注入がバンド間トンネルによるためトンネル抵抗が原因で ON 電流が低いことが課題となった。これまで、Si-Si ホモ接合の 3 次元構造[2]や III-V 材料の組成変化によるヘテロ接合[3]がこの問題に対して検討されてきた。我々は Mg₂Si のような半導体シリサイドと Si のヘテロ接合を用いた高い ON 電流と急峻 S 値を有する Si ベースの TFET を提案した[4]。本研究ではその Mg₂Si-Si ヘテロ構造 TFET のデバイス構造や印加電圧に対する変化をシミュレーションにより調べた。

結果及び考察

SOI 型 TFET のチャンネル長(L_g)が 100 と 20 nm と設定し、印加電圧(V_d)を 0.1-1.0 V の範囲で I_d - V_g 特性を評価した(Fig.1)。ソース領域及びチャンネル領域不純物濃度を $1 \times 10^{20} \text{ cm}^{-3}$ と $1 \times 10^{17} \text{ cm}^{-3}$ に設定した。短チャンネル化により ON 電流は殆ど変化しないものの、 $L_g=20 \text{ nm}$ では V_d が大きいほど、OFF 電流が増大、S 値の劣化がみられた。短チャンネル化によりドレインポテンシャルがソース部接合に影響したためと考えられる。ON 電流と最小 S 値の V_d 依存性 (Fig.2) は ON 電流 V_d のある程度の現象までは低下しないのに対し、S 値は徐々に改善していくことが判る。それぞれの L_g に対して最適な V_d があることを示唆する。

[1] T. Krishnamohan, et al., IEDM Tech. Dig. 2008 P.947

[2] M.Morita et al., VLSI symp. 2013 T236

[3] D.K.Mohata, et al., IEDM Tech. Dig. 2011 33.51

[4] 長谷川明紀 他 第 35 回 (2013 年秋) 応用物理学学会 19p-C9-5

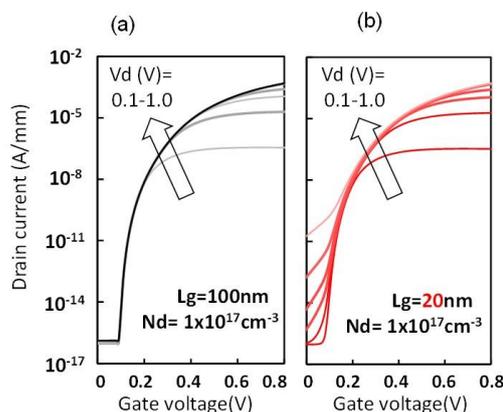


Fig.1 I_d - V_g characteristics of the TFET with Mg₂Si hetero-junction L_g of (a) 100nm and (b) is 20nm.

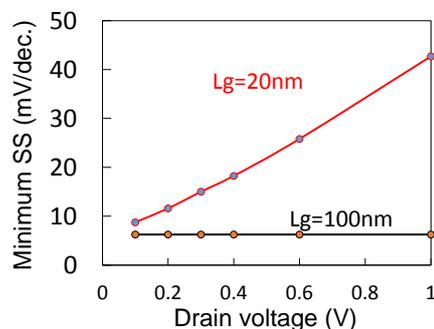


Fig2. Minimum subthreshold slope SS as a function of drain voltage.