

I G B T の大規模並列デバイス・シミュレーション

Large Scale Parallelized Device Simulation of IGBT

半導体理工学研究センター¹, 産業技術総合研究所²○石川 清志¹, 松澤 一也¹, 小田 嘉則¹, 越本 裕央², 池上 努², 福田 浩一²STARC¹, AIST²

○Kiyoshi Ishikawa, Kazuya Matsuzawa, Yoshinori Oda, Hiroo Koshimoto, Tsutomu Ikegami, Koichi Fukuda

E-mail: ishikawa.kiyoshi@starc.or.jp

【はじめに】低消費電力、低損失のパワーデバイスとして、Insulated Gate Bipolar Transistor (IGBT) の最適化が盛んに検討されている[1]。本報告では、STARC-TCAD によって、IGBT の 3 次元大規模構造を計算可能にした結果を示す。

【シミュレーション】図 1 にトレンチ IGBT の 1 セル構造を示す。実際の IGBT チップはこの基本セルを数十万個並列に配置するため、素子のばらつき等耐圧設計には大規模構造の計算が重要となる。この構造の特性をセル数を増やしながら計算した。

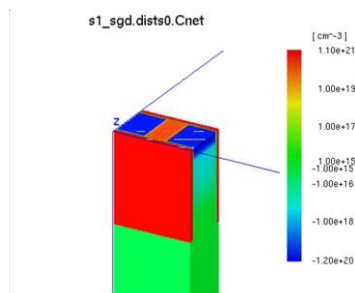


図 1 トレンチ IGBT の構造

図 2 に IGBT の DC オフ耐圧計算時間を示す。

従来はシングルコアによる計算（メモリ 512GB）を示している。MPI(Message Passing Interface)を用いることにより、シングルコアでは計算できなかった大規模構造が高速に計算できている。図 3 に AIST の PC クラスタによる IGBT の DC オフ耐圧の計算結果を示す。計算上規則正しいセルを置いているため、セル数を増加させても耐圧は変化しない。

IGBT はフローティング構造を含むため数値計算上不安定であるが、直接法を用いることにより、安定に計算できている。

	1x1セル	2x2セル	参考)3x3セル
旧プログラム	約100h	約1212h*	約5219h*
新プログラム	約10h	約100h	
高速化率(O(N ^{1.8})を仮定)	約10倍	約12倍	(約30倍)
参考)産総研AGCクラス	約5h	約44h	約170h

*IGBT解析例

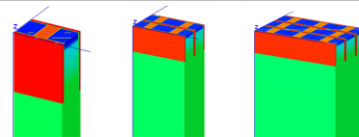


図 2 IGBT の DC オフ耐圧計算時間

今後、更なる大規模化を図り、ガードリングを含めたデバイス構造最適化を 3 次元で可能とする予定である。

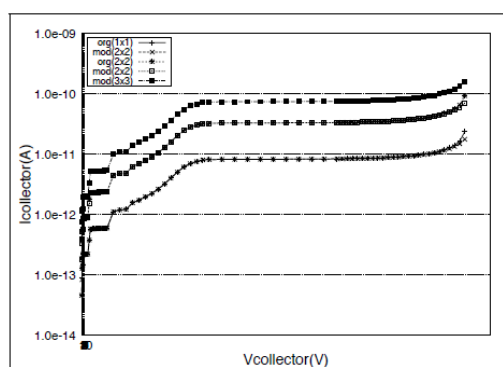


図 3 IGBT の DC オフ耐圧特性

[1] H. Ishimabushi, et al., SDM, 2011-11-11