

次世代 TCAD (5) 3 次元 TCAD による MOSFET の狭チャネル効果の解析

Analysis of Narrow Channel Effect in MOSFETs using Three-dimensional TCAD

Simulator

アドバンスソフト株式会社 ○小林慎一郎, 玉城哲平, 浜野明千宏, 桑原匠史, 池澤健夫, 小池秀耀

AdvanceSoft Co., Tokyo, Japan ○Shin-ichiro Kobayashi, Teppei Tamaki, Achihiro Hamano,

Takuhito Kuwabara, Takeo Ikezawa, Hideaki Koike

E-mail: kobayashi@advancesoft.jp

実際の MOSFET を設計する前に狭チャネル効果を見積もることは重要であり、その方法として TCAD によるプロセス・デバイス連携シミュレーションは有効な手段である。そこで、我々は狭チャネル効果がデバイス特性に及ぼす影響を見積もるため 3 次元 TCAD シミュレータを開発し、STI 構造を有する n 型 MOSFET ($L_g = 100 \text{ nm}$, $W_g = 300/2 \text{ nm}$) に対してプロセス・デバイス連携計算を行った。プロセス計算ではデバイス構造だけでなく 3 次元不純物分布を見積もることが可能で、さらにデバイスシミュレータである Advance/DESSERT を用いることでデバイス特性も計算できる。図 1(a)に STI 構造を有する n 型の解析領域 (点線部分) を示す。図 1(b)に $V_D = 1 \text{ V}$, $V_G = 2.5 \text{ V}$ の時のポテンシャル、図 1(c)及び(d)に W_g 中心及び STI 端から見た場合の電子密度分布を示す。電子密度分布に注目すると W_g 中央面では Si/SiO₂ 界面のみでチャネル形成が見られるが、STI 端ではゲート電極の落ち込みのため側面でもチャネル形成が確認できる。さらに $d = 0, 15, 30 \text{ nm}$ と変化させた時の I_D - V_G 特性を図 2 に示す。 d を大きくすると V_G の増加に伴って I_D が増加する。これは図 1 から理解できるように STI 端側面でもチャネルが形成されることに起因する。この様に 3 次元でのプロセス・デバイス連携計算により実際の MOSFET で形成されるソースドレイン間での構造に起因するデバイス特性が計算できた。このシミュレータは実際の微細 MOSFET を開発・設計する上で非常に有効なツールであると言える。

謝辞: 本研究の一部は独立行政法人科学技術振興機構 A-STEP プログラムの助成を受けて行われた。

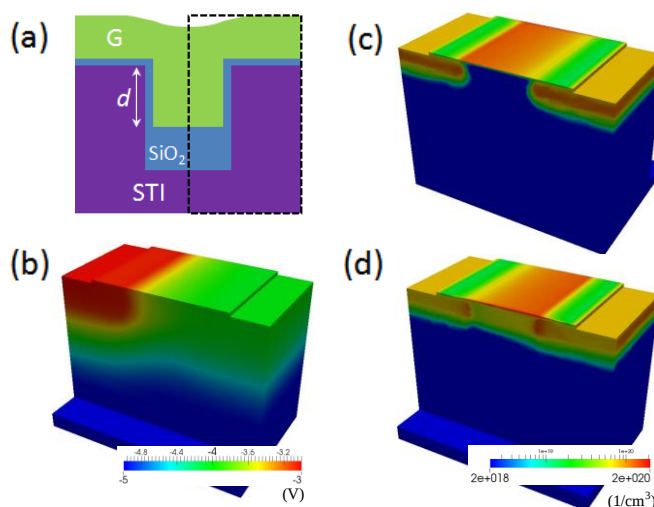


図 1 (a) MOSFET の解析領域 (点線) (b) ポテンシャル分布
(c) 電子密度分布 (W_g 中心) (d) 電子密度分布 (STI 端)

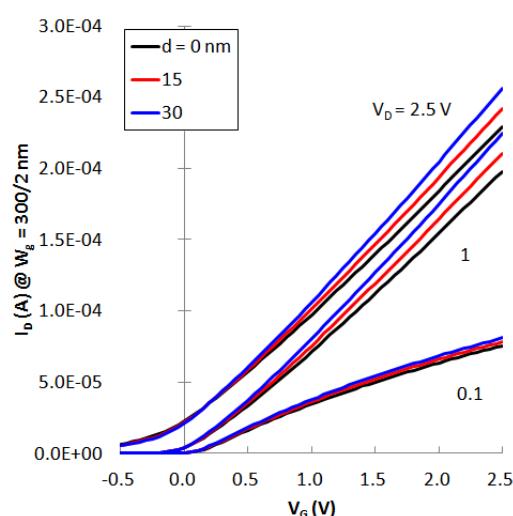


図 2 $d = 0, 15, 30 \text{ nm}$ の I_D - V_G 特性