

YSZ 基板上極薄膜 InN を用いた電界効果トランジスタ InN/YSZ-based field effect transistors

東京大学生産技術研究所¹, JST-CREST²,

○大関 正彬¹, 小林 篤¹, 太田 実雄¹, 藤岡 洋^{1,2}

Institute of Industrial Science, The University of Tokyo¹, JST-CREST²

○M. Oseki¹, A. Kobayashi¹, J. Ohta¹, H. Fujioka^{1,2}

E-mail: ooseki@iis.u-tokyo.ac.jp

【はじめに】 InN は高品質結晶の成長や伝導性の制御が難しいことから、これをチャンネル層とした電界効果トランジスタ(FET)の報告例は少ない。実際、線形領域/飽和領域といった典型的な IV 特性を持つ良好な InN トランジスタの動作は確認されておらず、素子構造や結晶品質の大幅な改善が必要と考えられている。我々はこれまで、InN に格子整合する基板材料として安定化ジルコニア(YSZ)が有望であることを示してきた。特に YSZ 基板上の極薄膜(<10 nm)InN は高い構造完全性と電子移動度を有するため、FET チャンネル層として機能する可能性がある。今回、YSZ 基板上極薄膜 InN をチャンネル層とした FET を作製し、その特性を詳細に調べたので報告する。

【素子作製方法】 YSZ(111)基板を大気中 1000°C でアニールした。アニール処理後の YSZ 表面には明瞭なステップアンドテラス構造が露出していることが確認できた。ステップ高さは平均で 0.6nm 程度であり、YSZ(111)面の 2 分子層に相当する。InN の成長にはパルススパッタ堆積(PSD)法を用いた。InN 成長中の基板温度は 620°C、成長レートは 0.3-0.5ML/s に設定した。成長した InN 極薄膜をフォトリソグラフィと ICP-RIE で素子分離し、ソース・ドレイン電極となる Au を蒸着後、ALD 法により HfO₂ ゲート絶縁膜を堆積した。最後に再び Au をゲート電極として蒸着した。

【結果と考察】 図 1 に作製した FET の構造の断面 TEM 像を示す。結晶の積層順序およびフーリエ変換像から InN が閃亜鉛鉱構造に結晶化していることが分かった。また、基板とのエピタキシャル関係は InN(111)/YSZ(111), InN[110]||YSZ[110]である。YSZ 基板の積層順序(..ABCABC..)が InN にも伝搬しており、YSZ 基板からの拘束により InN が立方晶構造としてエピタキシャル成長したものと考えられる。図 2 に膜厚 3nm の InN-FET の I-V 特性を示す。ゲート電圧の変化によって、I_{DS} が制御されており、線形領域から飽和領域への遷移も確認できる。当日は InN チャンネルの構造が素子特性に及ぼす影響についても議論する。

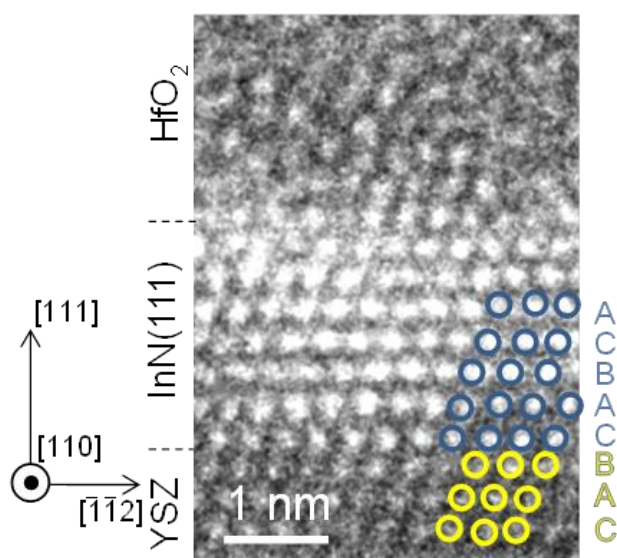


図 1 HfO₂/InN/YSZ 構造の断面 TEM 像

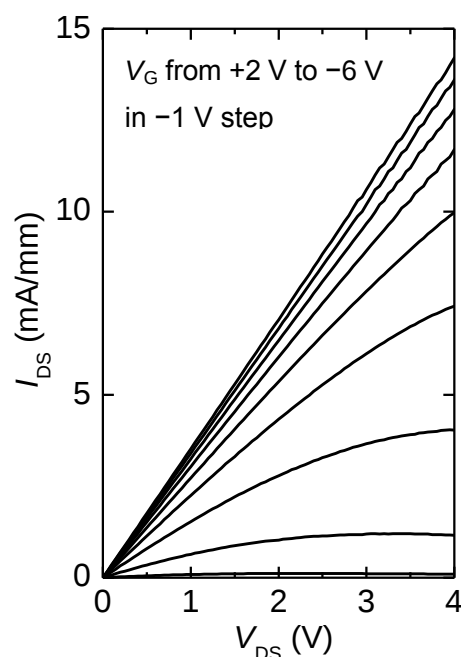


図 2 InN(3 nm)-FET($L_G=5\ \mu\text{m}$, $W_G=50\ \mu\text{m}$)の IV 特性