

## 横型フッ化グラフェン-グラフェンヘテロ構造の作製

### Fabrication of lateral fluorinated graphene/graphene interface

東工大 <sup>○</sup>成木 航, 田原 康佐, 岩崎 孝之, 古山 聡子, 松谷 晃宏, 波多野 睦子

Tokyo Tech., <sup>○</sup>Wataru Naruki, Kosuke Tahara, Takayuki Iwasaki, Satoko Furuyama,

Akihiro Matsutani, Mutsuko Hatano

E-mail: naruki.w.aa@m.titech.ac.jp

グラフェンは高速・低消費電力デバイスへの応用が期待されているが、バンドギャップがゼロであるためロジック FET への応用に課題がある。我々は独自のグラフェンのフッ化プロセスを構築し、キャリア局在性のゲート電圧による制御を示した[1, 2]。またグラフェンを部分的にフッ化した FET によるオン/オフ比向上の可能性が示されている[3]。しかしフッ化グラフェン-グラフェンヘテロ構造の界面(GrF/Gr 界面)の詳細な解析がなされていなかった。本研究では GrF/Gr 界面における輸送特性を解明することを目標とし、横型 GrF/Gr ヘテロ構造の作製プロセスを構築した。

作製したデバイスの断面構造を Fig.1 に示す。GrF と Gr 界面のショットキーバリアをゲート電圧制御するデバイスである。グラフェンを機械的剥離法によって SiO<sub>2</sub> (285 nm) / Si 基板上に作製し、EB リソグラフィによりグラフェンの半分をレジスト(ZEP520A)で保護した。Ar/F<sub>2</sub> プラズマ中に試料をさらすことによって露出部分のグラフェンにフッ化処理を行った後、電極(Ti/Au)を形成した。

Fig.2a に光学顕微鏡写真を示す。Fig.2b はラマン分光による横型 GrF/Gr ヘテロ接合チャンネル領域の D ピーク(1350cm<sup>-1</sup>)の 2 次元分布である。フッ化により D ピークは増大するため、その強度によりフッ化部分を見分けることができる。D ピーク強度の大きい部分(赤色)は設計でのフッ化領域に一致しており、均一な GrF-Gr ヘテロ界面を形成することに成功した。

本デバイスの計測により、GrF-Gr 界面におけるバンド構造及びバイアス印加時の挙動を知ることができる。又、提案するデバイスの作製に Ar/F<sub>2</sub> プラズマによるフッ化プロセスが適当であるかを判定することができる。

[1] K. Tahara, *et al.*, APL 101, 163105 (2012). [2] K.Tahara, *et al.*, APL 103, 143106, (2013).

[3] Moon, J.S, *et al.*, Electron Device Letters, IEEE 1990(2013).

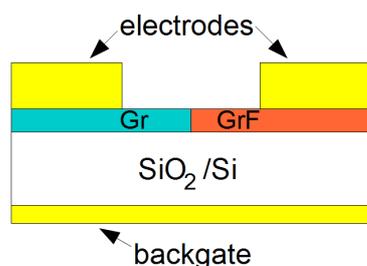


Fig.1 Cross-sectional view of the lateral hetero-structure FET

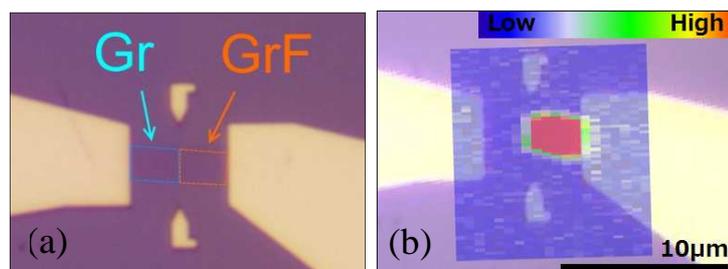


Fig. 2 (a) Optical microscope image and (b) D-peak mapping of lateral GrF/Gr hetero-junction