

## AlGaN/GaN リセス TLM デバイス構造の電気特性評価

### Characterization of Electrical Properties in AlGaN/GaN Recessed TLM Device Structures

東京工科大<sup>1</sup>、NTT 研究所<sup>2</sup> ◯前田 就彦<sup>1,2</sup>、廣木 正伸<sup>2</sup>、佐々木 智<sup>2</sup>

Tokyo Univ. of Technology<sup>1</sup>, NTT Research Labs.<sup>2</sup>

◯Narihiko Maeda<sup>1,2</sup>, Masanobu Hiroki<sup>2</sup>, Satoshi Sasaki<sup>2</sup>

E-mail: maedanrhk@stf.teu.ac.jp

AlGaN/GaN ヘテロ構造 FET の作製やデバイス特性の解析において、TLM (Transmission Line Measurement) によるチャンネル抵抗およびオーミック電極の接触抵抗の評価は基本的で重要である。一方、近年開発が活発化している GaN 系 FET の電力応用においてはノーマリオフ型の FET が必須であり、ノーマリオフ型のデバイス動作を実現するための代表的な構造のひとつとして、リセス構造を用いた FET が検討されている[1]。そこで今回、AlGaN/GaN ヘテロ構造においてリセスを行った TLM デバイスを作製し、AlGaN 障壁層のリセスによる電気伝導特性への影響を調べた。

図1は作製した TLM デバイスを模式的に示したもので、(a) は通常の TLM、(a) はリセスを行った TLM である。180 Å Al<sub>0.28</sub>Ga<sub>0.72</sub>N/2 μm GaN ヘテロ構造はサファイア基板に MOVPE 法により成長した。リセス TLM におけるリセス深さは 130 Å である。また、いずれのデバイスにおいても、AlGaN 表面には 250 Å の Al<sub>2</sub>O<sub>3</sub> を ALD 法により堆積した。図2に、(a) Normal TLM および (b) Recessed TLM の2端子特性を示す。それぞれの構造にけるチャンネル抵抗は (a) 425 Ω および (b) 1156 Ω、コンタクト抵抗は (a) 1.54 Ωmm および (b) 3.94 Ωmm であった。リセス構造におけるチャンネル抵抗の増大はリセスによるチャンネル電子濃度の減少によるものである。興味深いのは、コンタクト抵抗 (オーミック金属からチャンネル電子へのアクセス抵抗) が、電極下の構造は (a)と(b)とで同一であるにもかかわらず、(b)で 2.4 Ωmm 増大するという結果が得られたことである。可能性として、リセスによってチャンネルのポテンシャル位置が上昇し、電極から電子が注入される際の電子散乱が増大した結果と解釈される。このような状況は、ヘテロ界面に大きな分極電荷の存在する AlGaN/GaN 系に特有の状況と考えられ、リセス構造を用いたデバイスの特性の解析に考慮することが必要と考えられる。 [1] N. Maeda et al., Appl. Phys. Express **5** (2012) 084201.

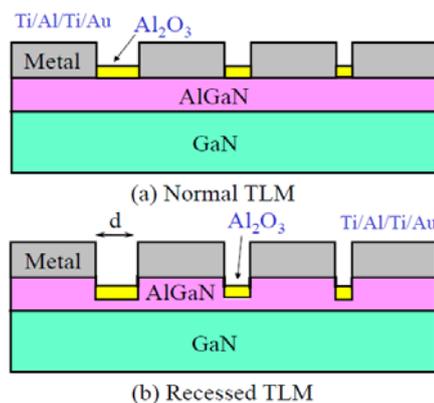


図1. TLM デバイスの構造

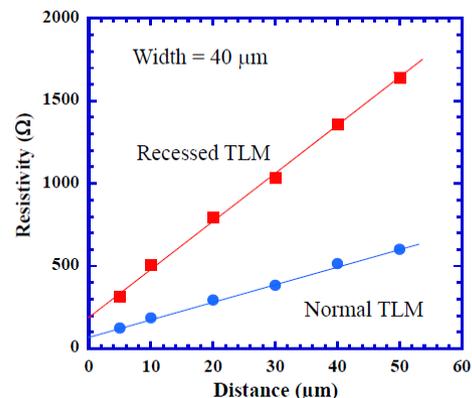


図2. TLM 測定結果