FeSe 超薄膜の作製と電気二重層トランジスタ特性の評価

Transport properties of electric double layer transistors based on FeSe thin films

○伊藤 恭太 [1]、塩貝 純一 [1]、三橋 駿貴 [1]、野島 勉 [1]、塚崎 敦 [1,2]
(1. 東北大金研、2. JST さきがけ)
°Y. Ito[1], J. Shiogai[1], T. Mitsuhashi[1], T. Nojima[1], A. Tsukazaki[1,2]
(1. IMR, Tohoku Univ. , 2. JST-PRESTO)
E-mail: yukihiro.ito@imr.tohoku.ac.jp

【背景】近年、分子線エピタキシー法を用いて $SrTiO_3$ 基板上に作製されたセレン化鉄(FeSe)超薄膜において、バルク（超伝導転移温度 T_c = 9.4 K）と比較して圧倒的に高い T_c = 65 K をもつ超伝導の発現が光電子分光法やトンネル分光の実験から示唆され[1]、さらに最近では *in-situ* 電気測定で T_c = 109 K が報告された[2]。本研究では、パルスレーザー堆積(PLD)法を用いて作製された FeSe 薄膜を用いて電気二重層トランジスタ(EDLT)を作製して、超伝導特性の電界制御を試みたので報告する。

【実験方法】パルスレーザー堆積法を用いて FeSe 薄膜を $SrTiO_3$ (001)基板上に基板温度 300 °C で成膜した。EDLT に適用するために、FeSe 薄膜の膜厚依存性と成膜後の真空中 450 °C での熱処理時間依存性を調べた。20nm 以下の FeSe 薄膜で DEME-TFSI を電解液とする EDLT を作製し、超伝導特性を評価した。

【実験結果】Fig. 1 に示す x 線回折の結果から、FeSe が(001)配向で堆積されていることがわかる。Fig. 2 に、FeSe EDLT の V_G = 0 V 及び V_G = 5 V 印加時の抵抗の温度依存性を示す。これまで、20nm 以下の PLD-FeSe 薄膜で超伝導性を観測した報告例はないが、成膜後の真空中熱処理を施すことで超伝導性の兆候を観測できることを見出した。V_G 印加により抵抗値の減少は観測されたが、電荷蓄積による超伝導特性の変化は観測されなかったため、より薄い FeSe 薄膜に対して電界変調を行うことが重要と考えられる。 [1] Q. Y. Wang *et al.*, Chin. Phys. Lett. **29**, 037402 (2012). [2] J. F. Ge *et al.*, Nature Mater. **14**, 285 (2015).

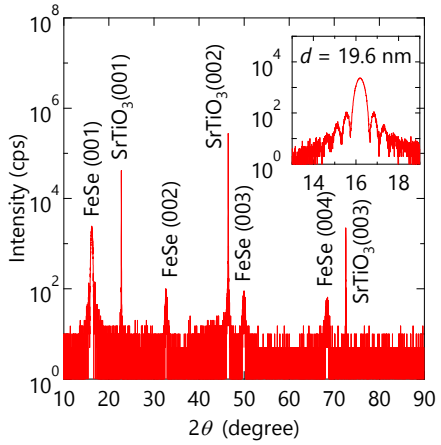

Fig. 1 X-ray diffraction pattern of 19.6-nm-thick FeSe film deposited on $SrTiO_3$ (001) substrate. Inset: Magnification around FeSe (001) diffraction peak, showing the Laue fringe.

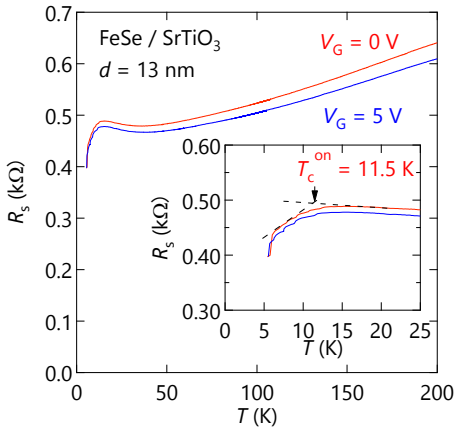

Fig. 2 Temperature dependence of sheet resistance of the FeSe film at V_G = 0V and 5 V. Inset: Magnification around the superconducting transition, showing onset T_c = 11.5 K.

© 2015年 応用物理学会