III-V on SiC 基板を用いた光集積回路プラットフォームの提案

Proposal of photonic integrated circuits on III-V on SiC wafer ^O竹中 充^{1,2}、高木 信一^{1,2} (1.東大院工、2. JST-CREST) [°]Mitsuru Takenaka^{1,2}, Shinichi Takagi^{1,2} (1.Univ. Tokyo, 2.JST-CREST) E-mail: takenaka@mosfet.t.u-tokyo.ac.jp

【はじめに】 我々は III-V-on-Insulator (III-V-OI) 基板を用いた III-V CMOS フォトニクス・プラ ットフォームを提案・研究してきた(Fig. 1a) [1]. III-V 族半導体層下部に厚膜 SiO2 埋め込み 酸化膜層(BOX)があることで,強い光閉じ 込めを持った III-V 族半導体導波路を実現する ことができ、Si フォトニクスと同様の高密度 光集積回路が実現可能となる.一方,SiO2から なる厚膜 BOX 層は熱伝導性が悪く、半導体レ ーザーなどの能動素子を高密度集積する妨げ となる. そこで、今回我々は III-V 族半導体層 を SiC 基板上に貼り合せた III-V on SiC 基板を 用いた新しい光集積回路プラットフォームを 提案する (Fig. 1b). 熱伝導率が極めて高い SiC 半導体を BOX 層とすることで、III-V 族半導体 層を効率的に冷却可能になると期待される. 一 方, SiO₂と比べて SiC の屈折率が高いため, 光 閉じ込めが弱くなり素子小型化が困難になる ことが懸念される. 今回, III-V on SiC 基板の 諸特性を解析したので報告する.



Fig. 1 (a) III-V on SiO₂プラットフォームおよび(b) III-V on SiC プラットフォーム.

【ベンド損失解析】III-V on SiC 基板を用いて 作製した細線導波路のベンド損失を 3 次元 FDTD 法により解析した. 波長 1550 nm にお ける SiC の屈折率を 2.56 とし, III-V 族半導体 としては InP および InGaAsP ($\lambda_{\sigma} = 1370 \text{ nm}$) を想定した.計算結果を Fig. 2 に示す. SiO₂ 上の Si 細線導波路では強い光閉じ込めの為, ベンド導波路の曲率半径が1µm以下になるま で顕著なベンド損失は見られない.一方, III-V on SiC 上の導波路では、導波路コアと SiC クラ ッド間の屈折率差が小さいため、曲率半径 1 μm の場合, 導波損失が 2.5 dB/90°以上となっ てしまうことが分かる.しかし,屈折率差がよ り大きく取れる InGaAsP (Q1.37)においては, 曲率半径 7 µm 程度で Si 細線導波路と遜色な い程度にベンド損失が低減することが分かっ た. このことから, III-V on SiC 基板を用いて

も充分に小型の光集積回路が実現可能である ことが分かった.

【素子温度上昇解析】2次元熱伝導解析により 導波路コアに電力を投入した場合の導波路コ アの温度上昇を数値計算した(Fig. 3). InP on SiO₂/Si 導波路においては,電力投入に伴い急 減に温度が上昇してしまう.一方, InP on SiC 導波路では,1W投入時でも温度上昇が20度 以下に抑制されることが分かった.温度上昇の 差は約1/30となり,素子温度上昇を効果的に 抑制可能であることが分かった.

SiC を単に排熱用ヒートシンクとしてだけで なく、導波路クラッドとした III-V on SiC 構造 を用いることで、能動素子を高密度に集積可能 な光集積回路プラットフォームを実現するこ とができる.同様に Si on SiC 基板を用いた Si フォトニクスへの転用も期待される.

【謝辞】本研究の一部は、文部科学省科学研究費補助金若手 研究Aの助成の支援により実施した。

[1] M. Takenaka et al., Optics Express, Vol. 15, pp. 8422 - 8427, 2007.



Fig. 2 III-V on SiC 上に作製した細線導波路のベンド損失.



Fig. 3 電力投入時における InP 細線導波路コアの 温度上昇.