

ミニマル液体ドーパントプロセスによる CMOS 試作

CMOSFET Fabrication by Minimal Spin-on Dopant Process

産総研¹, ミニマルファブ技術研究組合²

○古賀 和博^{1,2}, 居村 史人^{1,2}, 北山 侑司², クンプアン ソマワン^{1,2}, 原 史朗^{1,2}

AIST¹ and MINIMAL²

○Kazuhiro Koga^{1,2}, Fumito Imura^{1,2}, Yuji Kitayama², Sommawan Khumpuang^{1,2}, and Shiro Hara^{1,2}

E-mail: kazuhiro.koga@aist.go.com

【背景】我々は規格化された超小型の製造装置とそのシステムであるミニマルファブの開発を行っており、局所クリーン化技術により製造ラインの運転コストを従来の1/1000に低減することを目標に掲げている[1]。現在、プロトタイプから実用機に向けた装置開発を行っている。デバイス試作に必要な不純物拡散はイオン注入装置が未だ開発中の為、液体ドーパントを用いた熱拡散法を採用している。これまで p-MOSFET, n-MOSFET, そして p-MOS インバータの試作に成功している。次の段階として、CMOS インバータの試作を行っていくことになる。しかし、Al ゲートを用いている為、n-MOS の閾値電圧はマイナスの値になり易く、イオン注入 (チャネルドーピング) による閾値電圧調整の方法も使えないので p-MOS の値に合わせる事が困難である。そこで、n-MOS 領域に形成している p ウェルの不純物濃度を高くして閾値電圧をプラス側にシフトさせ p-MOS の値に合わせる方法をとった[2] [3]。CMOS インバータを試作し良好な電気特性を得たので報告する。

【実験方法】ウェーハは厚さ 250 μm , 比抵抗 20~27 $\Omega \cdot \text{cm}$ の 12.5mm Φ の n-Si を用いた。n-MOS は B (ボロン) 拡散にて p ウェルを形成し、そこに P (リン) 拡散にてソース (S)/ドレイン (D) 拡散層 (n+層) を形成した。p-MOS は B 拡散にて S/D 拡散層 (p+層) を形成した。B または P の塗布溶剤をミニマル塗布装置にて塗布し乾燥ベーク後、ミニマル抵抗加熱炉装置にてハードベークとプリデポ拡散を一貫処理した。その後、塗布膜を BHF エッチングにて除去した後、ゲート酸化を兼ねたドライイン拡散にて拡散層を形成した。B の拡散濃度のプリデポ拡散温度依存性をもとに n-MOS を試作し、その閾値電圧から p-MOS の値と同程度になるように p ウェルの形成条件を検討した。

【結果と考察】Fig. 1 にBのプリデポ拡散温度に対するドライイン拡散後の表面濃度とn-MOSの閾値電圧を示す。プリデポ拡散温度が 1000 $^{\circ}\text{C}$ ではドライイン拡散後の表面濃度は $2.6 \times 10^{16} \text{cm}^{-3}$ で閾値電圧はプラスの 1.1V が得られた。Bのプリデポ拡散温度を 1000 $^{\circ}\text{C}$ にしてpウェルを形成したn-MOSとp-MOSを組み合わせたCMOSインバータの特性をFig. 2 に示す。 V_{DD} 5Vにおける入出力特性であるがインバータ閾値電圧が V_{DD} の約 1/2 (2.6V) の良好な結果が得られた。詳細については当日の報告で述べる。

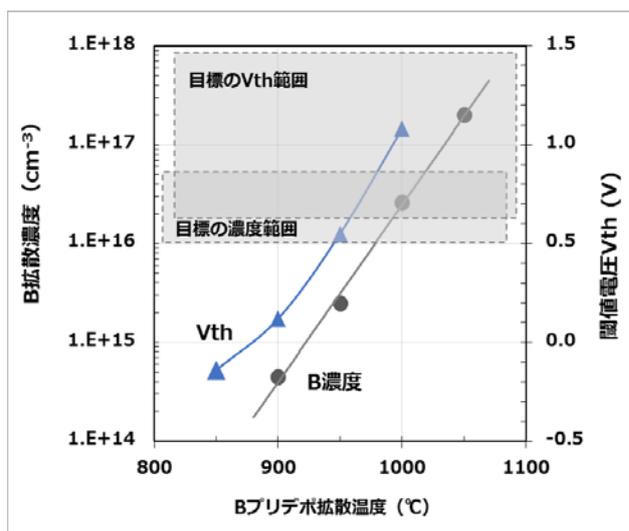


Fig. 1 ボロンのプリデポ拡散温度に対する表面濃度とn-MOS閾値電圧

・濃度評価: n型Si活性層 SOI91-I-1 (10^{15}cm^{-3})
 ・閾値電圧評価: n-MOS(L14/W100 μm)
 ・プリデポ拡散: 1min, $\text{O}_2/\text{N}_2=50/50\%$
 ・ドライイン拡散: 1150 $^{\circ}\text{C}$, 50~60min, O_2 雰囲気

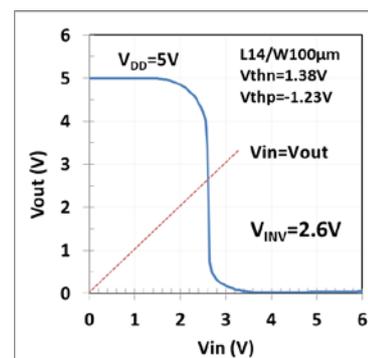


Fig.2 CMOSインバータの入出力特性

【参考文献】[1]原 史朗, クンプアン ソマワン:「ミニマルファブの開発とそのデバイスプロセス」, 応用物理学会誌 83(5), p. 380(2014)

[2] 徳山巖著, MOS デバイス, 工業調査会発行, P175-P204

[3] S. D. Brotherton: Solid-State Electronics 10 611 (1967)