

# パワーデバイス向け貼り合せ SOI ウェーハ —BOX 堆積と常温貼り合せの検討—

Bonded Silicon on Insulator Wafers for Power Devices  
- A Study of Deposited BOX and Room Temperature Bonding -

株式会社 SUMCO

○古賀 祥泰, 栗田 一成

SUMCO CORPORATION

○Yoshihiro Koga, Kazunari Kurita

E-mail: ykoga4@sumcosi.com

## 1. はじめに

パワーデバイスでは、デバイス素子間に数百ボルト以上の高電圧がかかるため、素子分離を pn 接合で形成した場合には、リーク電流が発生する課題がある。この対策として、素子分離を絶縁膜で形成する方法が用いられてきており、シリコン基板内部に絶縁層(以下 BOX 層: Buried Oxide)を形成した SOI ウェーハが用いられる<sup>1)</sup>。

近年、低燃費化車種の拡大展開によって、さらなる消費電力の低減が技術課題となり、リーク電流の抑制方法が検討されてきた。その抑制方法として、BOX 層を介してデバイス間を流れるリーク電流を抑制するために、BOX 層の厚膜化が検討されている。

従来技術である熱酸化法による BOX 層形成では、厚膜化に限界があり、さらに BOX 層に固定電荷が存在して SOI 層の抵抗率が変動する改善すべき技術課題があるため、新規の BOX 層形成法の実現が望まれている。また、パワーデバイス用 SOI ウェーハでは BOX 層が 1 $\mu$ m 以上あり、ウェーハ 2 枚(支持基板, SOI 層基板)を貼り合せて製造する際の貼り合せ強度確保のために、長時間の高温熱処理が必要<sup>2)</sup>であり、生産性に課題がある。

これらの改善すべき技術課題があるため、BOX 層の膜厚化と固定電荷の抑制を意図して、「堆積法による新規成膜法」と「貼り合せ強度を高めるための長時間高温熱処理を必要としない常温貼り合せ法<sup>3)</sup>」とを組み合わせることで作製した貼り合せ SOI ウェーハの可能性を検討した。

## 2. 実験方法

CZ 結晶から作製したシリコンウェーハを 2 枚用意し、支持基板へ BOX 層を 10 $\mu$ m 堆積した後、常温貼り合せ法により BOX 層を形成した支持基板と SOI 層基板を貼り合せ、SOI ウェーハを作製した。基礎特性として、①貼り合せ特性(IR imaging)、②BOX 層と SOI 層との界面観察(TEM)、③SOI 層のキャリア濃度分布(SIMS)、④SOI 層の抵抗率分布(SR)を評価した。

## 3. まとめ

堆積法で形成した BOX 層と SOI 層基板とを常温貼り合せした結果、ピンセット痕の外乱以外、従来品同様のボイドフリーを確認した(Fig.1)。

また、SOI 層に対して SR 測定した結果、従来品では抵抗率が高抵抗側へシフトしたが、実験品では抵抗率が一定であった(Fig.2)。従来品では BOX 層内に存在する正の固定電荷が影響し、BOX 層界面におけるキャリア濃度が見かけ上減少して抵抗率が高抵抗側へシフトした。一方、実験品では抵抗率が一定であり、堆積法により固定電荷の影響を改善できた。

これらの結果により、実験品(堆積法+常温貼り合せ法)は、SOI 層全領域へデバイス形成する完全空乏型デバイスに有効である。

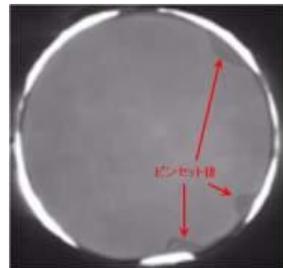


Fig.1 IR imaging

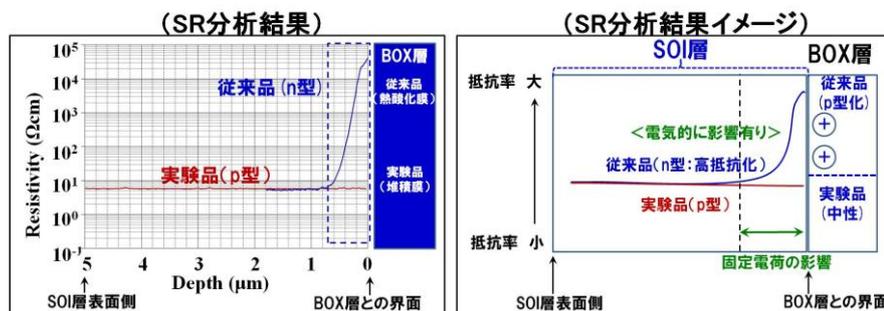


Fig.2 Resistivity profile of SOI layer after fabricating SOI wafer

after bonding handle wafer and active wafer

## 参考文献

- 1) E.Arnold: J.Electrochem.Soc.,141(1994)1983.
- 2) W.P.Maszara *et al*: J.Appl.Phys., 64(1988)4943.    3) H.Takagi *et al*: Appl.Phys.Lett., 68(1996)2222.