

微細トップゲート構造によるシリコン導波型グラフェン光変調器

Graphene optical modulator on silicon waveguide controlled by fine metal-top gate

堀 洋輔¹, 高 磊^{2,3*}, 土澤 泰^{2,3}, 田邊 真一³, 小林 弓月¹, 原田 裕一^{4**}, 日比野 浩樹^{4***}, 山本 剛³, 山田 浩治^{2,3***}, 中島 啓幾¹

早大先進理工¹, NTT NPC², NTT 先端集積デバイス研³, NTT 物性基礎研⁴

* 現所属: UC Berkeley ** 現所属: 九州大学 *** 現所属: 関西学院大学 **** 現所属: 産業技術総合研究所

Y. Hori¹, R. Kou^{2,3}, T. Tsuchizawa^{2,3}, S. Tanabe³, Y. Kobayashi¹, Y. Harada⁴, H. Hibino⁴, T. Yamamoto³, K. Yamada^{2,3}, H. Nakajima¹

Waseda Univ.¹, NTT Nanophotonics Center², NTT Device Technology Labs.³, NTT Basic Research Labs.⁴

Author e-mail address: id-12724.s.v@ruri.waseda.jp

◆ 研究背景

炭素原子から成る2次元材料であるグラフェンは、様々な光学的性質を有しており、光デバイスの応用に向けて盛んに研究が行われている。そこで我々はイオン注入フリーのトップゲート構造のグラフェン光変調器(図1)を提案し、有限要素法のシミュレーションによる構造最適化を行ってきた^[1]。その結果、作製プロセスフローの簡略化とともに、高効率な光変調が行えることを示した。本稿では、実際に提案したデバイス構造を作製し、基礎的なデバイス特性を明らかにした上で光変調動作を実証した。

◆ 作製プロセス

電子線(EB)露光と反応性イオンエッチング(RIE)によってSi細線導波路(幅400 nm×高さ200 nm)を4 inch SOI基板上に形成した。続いて、Cu箔上にCVD成長した単層グラフェンを導波路上へ転写し、RIEにより選択的なパターンニングを行った。そして、EB蒸着とリフトオフ法によりソース・ドレイン電極を形成し、原子層堆積法(ALD)によりゲート絶縁膜Al₂O₃を25 nm成長した。トップゲート電極はEBリソグラフィとEB蒸着により、最小幅100 nmのパターンをリフトオフ法により幅400 nmのシリコン導波路直上に形成した。最後に、選択的スポットサイズ変換器(SSSC)^[2]を光入出力端面領域にそれぞれ付与した。作製プロセス後のデバイスのSEM画像を図2に示す。

◆ デバイス評価結果

本試作では、光相互作用長L=25~100 μm, ゲート電極幅W=100~400 nmのデバイスを作製した。図3はL=100 μm, W=100 nmのゲート印加電圧(V_g)に対する光透過率とソース・ドレイン間抵抗(R_{SD})の測定結果である。R_{SD}の測定結果より、V_g=10 V付近においてDirac点(電荷中性点)を確認でき、グラフェンのフェルミレベルが変化していることがわかった。次に光学測定を行ったところ、Dirac点を対称として光透過率は増加傾向が見られた。本動作はバンド間遷移による光吸収が減少したためであり、理論予測された光変調特性と一致している。本デバイスではゲート印加電圧変化約20 Vに対し、消光比約0.75 dBが得られ、W=300 nm, L=50 μmのデバイスにおいては消光比約1.2 dBが得られた。

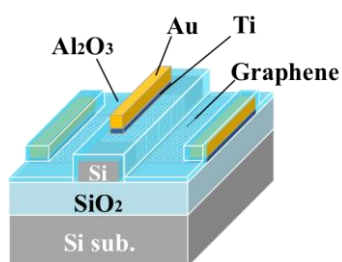


図1 デバイス構造図

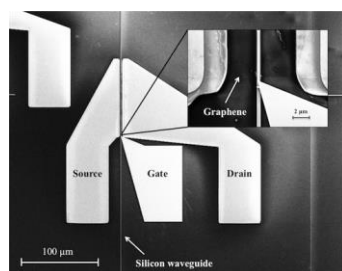


図2 デバイス SEM 画像

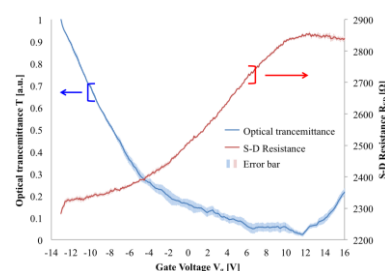


図3 V_gに対するR_{SD}と光透過率

◆ まとめ

微細なトップゲート構造を有する超小型グラフェン光強度変調器を作製し、光変調動作を観測した。その結果、印加電圧の掃引測定により最大消光比約1.2 dBが得られた。本稿の検証実験は、将来の光通信応用へ踏み出す第一歩となる。

◆ 参考文献

- [1] 蔵 かほり, 高 磊 他, 第75回応用物理学会秋期学術講演会, 17p-PA3-4 (2014)
- [2] R. Kou, Y. Kobayashi et al., *IEEE Photonics Journal*, Vol.6, No.3, 6600409 (2014)