

Ge-CMOS 集積化技術の開発動向

Trends in Developing Ge-CMOS Integration Technologies

○手塚 勉^{1,2}、池田圭司^{1,2}、入沢寿史²、鎌田善己^{1,2}、臼田宏治^{1,2}、上牟田雄一^{1,2}、守山佳彦^{1,2}、
小池正浩^{1,2}、小田 穰^{1,2}、小野瑞城^{1,2} (1. 東芝研究開発センター、2. 産総研 GNC)

○T. Tezuka^{1,2}, K. Ikeda^{1,2}, T. Irisawa², Y. Kamata^{1,2}, K. Usuda^{1,2}, Y. Kamimuta^{1,2}, Y. Moriyama^{1,2},
M. Koike^{1,2}, M. Oda^{1,2}, M. Ono^{1,2} (1. Toshiba R&D Center, 2. GNC-AIST)

E-mail: tsutomu.teduka@toshiba.co.jp

【序論】 Ge チャネルトランジスタは 2018 年頃の 7nm 世代テクノロジー以降への導入が予測されている。性能を確保しつつ消費電力を抑制するため、低電圧でも十分な電流駆動力が得られる高移動度チャネルが必要とされるためである。CMOS スケーリングにおいてチャネルに Si 以外の材料が導入されるのは初めてであり、Si プラットフォーム上への集積化はもっとも重要な課題の一つと言える。本講演では、これまでに提案されている集積化手法のバリエーションと特徴を講演者らの成果も交えてレビューする。

【CMOS 構成】 Ge は電子、正孔移動度ともに Si を凌駕するが、電子移動度は III-V 族化合物の方が圧倒的に高い。電流駆動力の観点では Ge-pMOS/III-V nMOS のデュアルチャネル構成が有利だが、プロセスコストを考えると p/n チャネル共に Ge の CMOS の構成もあり得る。現時点では Ge-nMOSFET の性能が十分ではなく、前者に分がある。但し、Ge-nMOSFET の検討が活発化し特性向上も著しいことから後者の実用化可能性も否定できない。基板については、コスト、強度、Si 周辺素子との集積化を考慮すると、格子不整合の問題を克服して Si 基板を使わざるを得ない。現状のバルク Si-FinFET 技術との連続性を考慮すると、STI 溝への低転位 Ge エピ成長技術[1,2]が有力と思われる。一方、SOI 基板ベースの酸化濃縮法[3]による SiGe-OI (SGOI)-pMOSFET も継続的に検討されている[4-6]。SOI [7-10]および III-V-OI nMOSFET [11-13]との組み合わせによる CMOS 化が報告されている。

【微細化、集積化】 既に 300mm-Si 基板上で微細 Ge-p/nMOSFET が動作実証されている。いずれもバルク FinFET タイプで Lg~20 nm/40nm まで微細化されている[14-17]。pMOS はしきい値調整の問題はあるものの、低電圧時の駆動力は現状の最先端 Si-pMOS と比べて十分競争力がある結果が得られている[15]。一方 Ge-nMOSFET はまだ現状 Si に対する優位性は得られていない。これは、pMOSFET に比べ、寄生抵抗やゲートスタック界面品質が不十分であるためであるが、これらを向上させるための要素プロセス技術も進展している[18,19]。CMOS 動作の実証においては、ひずみ SGOI-pFET を SOI-nFET と組み合わせた 300mm 基板上での 14nm テクノロジー以降向け planar-CMOS が報告されている[8-10]。我々のグループは、SGOI/InGaAs-OI 積層型デュアルチャネル構成および全 Ge-CMOS 構成を実現し、いずれにおいても世界初の回路動作実証に成功している[13, 20]。一方、微細化以外への展開として、モノリシック 3D 積層 LSI 向けの多結晶 Ge-TFT の CMOS が実証され[20-22]、シリコンフォトニクス分野での GeSn による発光デバイス[23]や受光波長の赤外域への拡張[24]が検討されている。以上のように、Ge-CMOS 実用化に向けて技術的には着実な進捗があるものの、今後は、特性ばらつき低減や信頼性の確保、経済合理性の検討などを急ぐ必要が有るとと思われる。

謝辞：参照事例の一部は政府の最先端研究開発プログラム(FIRST)の成果である。

参考文献：

- | | |
|--|--|
| <p>[1] T. A. Langdo et al., APL 76, 3700 (2000).
 [2] M.J.H. van Dal et al., 2012 IEDM p.521.
 [3] T. Tezuka et al., APL 79, 1798 (2001).
 [4] T. Tezuka et al., IEEE TED 50, 1328 (2003).
 [5] K. Ikeda et al., 2013 Symp. on VLSI Tech. p.T30.
 [6] P. Hashemi et al., 2014 IEDM, p.402.
 [7] T. Tezuka et al., 2005 Symp. on VLSI Tech., p.80.
 [8] K. Cheng et al., 2012 IEDM, p.419.
 [9] Q. Liu et al., 2013 IEDM, p.228.
 [10] Q. Liu et al., 2014 IEDM, p.219.
 [11] M. Yokoyama et al., 2011 Symp. on VLSI Tech., p.60.
 [12] L. Czornomaz et al., 2013 IEDM, p.52.</p> | <p>[13] T. Irisawa et al., 2014 Symp. on VLSI Tech. p.118.
 [14] J. Witters et al., 2013 IEDM p.534.
 [15] B. Duriez et al., 2013 IEDM p.522.
 [16] M.J.H. van et al., 2014 IEDM p.235.
 [17] J. Mitard et al., 2014 IEDM p.418.
 [18] G. Thareja et al., EDL 32, 838 (2011).
 [19] C. H. Lee et al., 2014 Symp. on VLSI Tech., p.76
 [20] Y. Kamata et al., 2014 SSDM, p.668.
 [21] K. Usuda et al., 2014 IEDM p.422.
 [22] C.-H. Shen et al., 2014 IEDM p.67.
 [23] M. Oehme et al., IEEE Photo. Technol. Lett. 26, 187 (2014).
 [24] J. Werner et al., Thin Solid Films 520, 3361 (2012).</p> |
|--|--|