

加工変換差および Si リセス変動における開口率とパターン構造の影響 Effect of Open Area Ratio and Pattern Structure on Fluctuations in Critical Dimension and Si Recess

○久保井 信行、辰巳 哲也、深沢 正永、木下 隆、小町 潤、安斎 久浩（ソニー（株））

○Nobuyuki Kuboi, Tetsuya Tatsumi, Fukasawa Masanaga, Takashi Kinoshita, Jun Komachi, and
Hisahiro Ansai (Sony Corp.)

E-mail: Nobuyuki.Kuboi@jp.sony.com

先端 CMOS デバイスの開発において、トランジスタゲート加工寸法やそれに影響を受けるプラズマ起因のダメージのバラツキの制御は大きな技術課題の1つである。我々は、これらの定量予測・制御を目的として、poly-Si ゲートの変換差 (ΔCD) および Si リセス深さ (d_R) バラツキのウェハレベルの開口率 (Global)・チップ内パターン密度 (Semi-local)・ローカルパターン立体角 (Local) の3つの依存性の詳細な実測およびそれらに基づいたモデル化を行った(図1)。

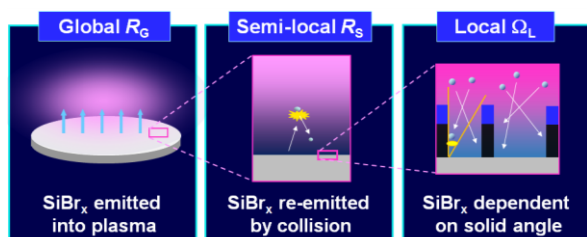


図1: バラツキ要因のモデル化

異なる開口率・パターン構造をもつ5つのウェハを用いてサンプル作成・解析した結果、 ΔCD は R_G に対して正の線形相関があり、エッチング時の反応生成物である SiBr_x 発光強度のプロセス依存傾向と整合性があること、 ΔCD は平均自由行程の数倍程度内領域からの SiBr_x 量の影響を受けること、さらに、パターンのスペースではなく $2\text{ }\mu\text{m}$ 領域内の立体角 Ω_L に依存すること、が分かった。

これらの実測的知見を用いて $ER \times (R_G + R_S) \Omega_L$ に依存する SiBr_x 入射フラックスモデルを構築し (ER は Si エッチレート)、そのモデルを導入した準3次元 Si ゲートエッチングシミュレーション技術を開発した。これにより、開口率やパターン構造の異なる場合の ΔCD 変化の予測が可能となり、実測結果をうまく再現することができた(図2)。さらに、 d_R と Si 基板上に堆積する SiBr_x の堆積膜厚さによ

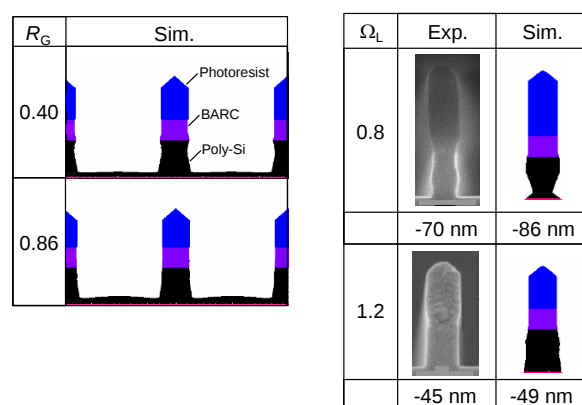


図2 計算結果と実測結果の比較

る減衰を考慮したイオン入射エネルギーとの関係を加味した結果、 d_R もまた、上記ファクターに依存することが分かった(図3、マークが実測結果、実線が計算結果)。

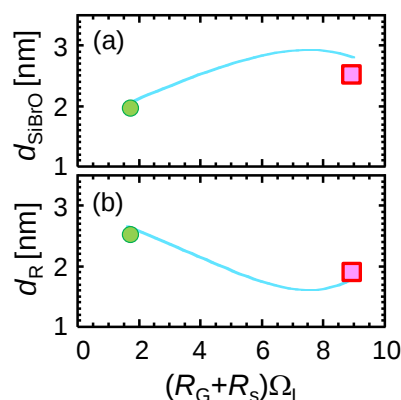


図3 (a) 堆積膜厚、(b) Si リセス深さ

これらのシミュレーション結果から、デバイス特性の向上には、 $ER \times (R_G + R_S) \Omega_L$ を制御指標として、従来のイオンエネルギー、ガスフラックス、エッチング時間といったプラズマエッチングパラメータ制御に加え、パターンレイアウト設計との双方からの最適化が重要であると言える[1]。

[1]N. Kuboi et al., J. Vac. Sci. Technol. A **31** (2013) 061304.