

Ge-CMOS のための GeO_2/Ge 界面制御

GeO_2/Ge interface control for Ge CMOS

鳥海 明 (東大院工)

Akira Toriumi (University of Tokyo)

E-mail: toriumi@material.t.u-tokyo.ac.jp

ゲルマニウム(Ge)は過去に研究された材料であり、問題点があった故にシリコン(Si)にとってかわられた経緯がある。そこで過去に経験された問題点を乗り越えることができれば Ge の“本質的”移動度がいくら高くても使うことはできない。p-MOSFET に関しては多く研究されてきているが、n-MOSFET に関しては無視されてきたか否定的な報告が数多くなされてきた。Ge-CMOS の実現に向けては、この n チャネルの実現が鍵になっており、逆に言えばここに解決の道がみつければ最終的にどういうテクノロジーを使うかは別にして Ge CMOS の道が原理的には開けることになる。

我々はここ 10 年くらい n チャネル Ge MOSFET の高性能化に向けてチャネル界面の改善に力を注いできた。現在、ゲートスタック構造の実現に関しては、原理的にはかなりの完成度までできたと考えている。図 1 は電子のピーク移動度を EOT に対して示している。この図面ではゲート絶縁膜として GeO_2 を用いた場合に対してだけ示しているが、ほぼ EOT=1nm まではリーク電流を十分に抑えながら Si よりも圧倒的に高い移動度が得られることがわかる。上記の高移動度実現において重要な点は以下の三つにある。

(1) Ge/GeO_2 界面の制御法を構築したこと。ここには GeO の脱離現象が根本にあり、何故 GeO の脱離が起こるかの解明に基づいた解決策がキーになった。

(2) 高電界下における移動度の向上に向けて Ge 表面の原子レベル平坦化が可能になったこと。

(3) Ge の酸化機構には Si では見られない特異な現象がみつけられ、ゲート絶縁膜の薄膜化が可能になったこと。

これらの基本技術によって、Si を大きく超える移動度を EOT~1nm の薄膜領域でも実現できている。上記以外にも Si では観測されない多くの発見と改善があるのだが、それらを含めて何を制御することが重要なのかを講演の中で議論したい。

*本研究は JST-CREST のもとで行われた。

図 1 GeO_2 をゲート絶縁膜に用いた場合の n チャネル Ge MOSFET における電子のピーク移動度と EOT の関係。移動度の精度をあげるために大きな FET を用いているために数 nm の EOT のところで下限がとまっているが、実際に 1 ミクロン以下の FET では、EOT~1nm でも十分な移動度値を実現できるはずである。カラーの違いは酸化温度を少しだけ変化した場合の結果である。

