

p 型 GaN 層の SiNx パッシベーション膜の検討

Investigation of suitable deposition methods of SiNx for p-GaN

○小田 惟巧¹, 金田 直樹², 山口 世力³, 大平 圭介³, 三島 友義¹, 中村 徹¹

(1. 法政大, 2. クオラムスプレッド, 3. 北陸先端大)

°I. Oda¹, N. Kaneda², S. Yamaguchi³, K. Ohdaira³, T. Mishima¹, T. Nakamura¹

(1. Hosei Univ., 2. Quantum Spread, 3. JAIST)

E-mail: ikumi.oda.4s@stu.hosei.ac.jp

[はじめに] GaN は絶縁破壊電界強度などの物性値が優れることから高性能パワーデバイス用半導体として期待されている。しかし、GaN を用いたバイポーラデバイスを作製する場合 p 型領域と電極との良好なオーミック接触が重要課題である。本研究ではデバイス工程の中で、p 型層にダメージを与えオーミック接触性を劣化させると懸念される SiNx 膜堆積において、3 種類の堆積法の比較検討を行ったので、その結果について報告する。

[実験] SiNx の製膜には、MOVPE 法で自立 GaN 基板上にアンドープ GaN 層、p-GaN 層(Mg 濃度 $=1 \times 10^{18} \text{ cm}^{-3}$, 500 nm)、p⁺-GaN コンタクト層(Mg 濃度 $=2 \times 10^{20} \text{ cm}^{-3}$, 30 nm)を順次成長させたウェハを用いた。このウェハを分割し、スパッタ法、プラズマ CVD 法、Cat-CVD 法の 3 種類の SiNx 膜堆積工程をそれぞれ実施した試料を作製した。製膜後 1200°C で 2 分間、N₂ 雰囲気中で熱処理を行い、DHF にて SiNx 膜を除去し、Pd を電極 (厚さ 200 nm、幅 200 μm 、長さ 80 μm) として蒸着した。電極と p-GaN 層との接触性に関しては TLM パターンを用いて I-V 特性の評価を行った。

[結果] 図 1 は SiNx 堆積法の異なる試料を 1200°C で熱処理した後の I-V 特性である。電極間隔は 10 μm である。Cat-CVD 法における電流値が他の 2 種の SiNx 堆積法よりも電流値の低下が少なかった。また、図 2 は線形表示であるが、Cat-CVD 法では 1200°C の熱処理後も熱処理無しの試料と比較して I-V 特性の劣化もわずかであることが分かった。Cat-CVD 法は GaN に対して製膜時のダメージが少なく、高温熱処理に耐える SiNx 膜の堆積法として優れている。

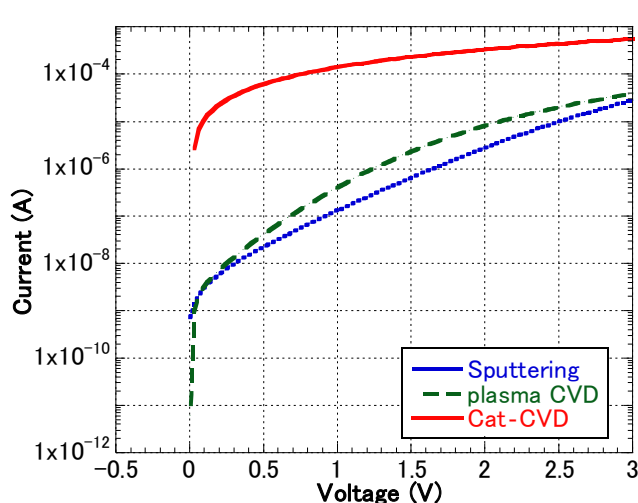


Fig. 1. I-V characteristics of p-GaN layers with different SiNx deposition processes followed by annealing at 1200°C.

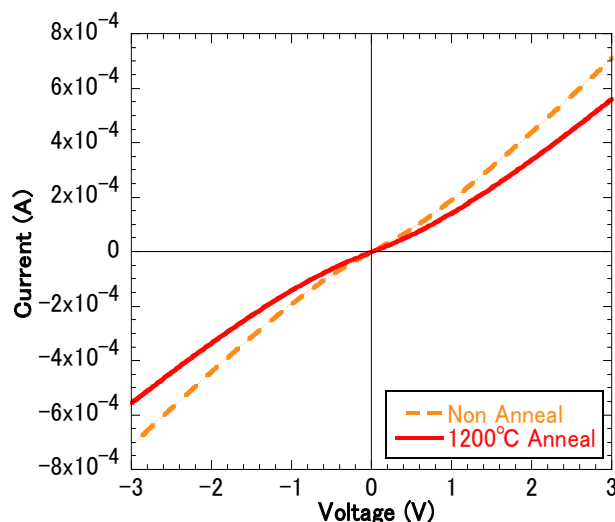


Fig. 2. I-V characteristics of p-GaN layer before and after annealing at 1200°C with Cat-CVD SiNx.