

高誘電率膜を有するガラス基板上の平面型メタルダブルゲート ジャンクションレス p-ch 低温 poly-Ge TFT

LT Metal Double-Gate Junctionless P-channel Poly-Ge TFT with High-k Gate Dielectric on Glass Substrate

°西村 勇哉¹、仁部 翔太¹、原 明人¹ (1.東北学院大工)

°Yuya Nishimura¹, Shota Nibe¹, Akito Hara¹ (1.Tohoku Gakuin)

E-mail: s1494303@mail.tohoku-gakuin.ac.jp

【はじめに】ゲルマニウム (Ge) は次世代MOSFETとして注目されている。Geの優れた物性値は、ディスプレイの駆動素子である薄膜トランジスタ (TFT) の性能向上の手段としても魅力的である。ディスプレイ応用を意識した場合、高度なプロセスを利用した微細化の追求によってデバイス性能を向上することよりも、簡単かつ安価なプロセスを利用してTFT性能を向上することが要求される。我々は、ガラス基板上に低温かつ簡易なプロセスで形成したメタルゲートからなる平面型ダブルゲート (DG) 多結晶ゲルマニウム (poly-Ge) TFTの開発を進めている^{1,2)}。

【実験】図1のようなゲートスタック構造を有するpoly-Ge TFTを形成することを目的としている。本実験では、トップとボトムゲートの絶縁膜は、ボトムがスパッタリングで形成したHfO₂ (22nm)、トップはPECVDで形成したSiO₂ (50 nm) となっている。また、トップおよびボトムのゲートメタルはMoから構成されている。Poly-Ge薄膜は、厚さ25 nmのアモルファスGeをスパッタリングで形成後、500°C10hの固相成長 (SPC) により形成している。なお、この温度が最高プロセス温度である。最後に300°Cで水素化を行っている。

【結果および考察】図2(a)と(b)は、それぞれ今回作成したデバイスのトランスファ特性と出力特性を示している。ゲートによる制御性が確認できる。図3は、以前に報告したTFT¹⁾との特性の比較を示している。(a)が前回作製したデバイスの特性¹⁾、(b)は今回の特性となっている。デバイスは共にゲート長が5 μmでゲート幅が10 μmである。前回報告した図3(a)のデバイスはGeの膜厚が40 nmであったのに対し、今回作成したデバイスはGeの膜厚を25 nmに変更している。それによりon/off比が改善されていることがわかる。また、全体的にドレイン電流が増大している。Poly-GeのSPCに際して前回は530°C、3hであったのに対して今回は500°C、10hに変更している。これによりシート抵抗値が減少 (ホールの発生量の増大) していることが確認されており、結果としてドレイン電流の増大につながったものと考えられる。

【まとめ】ガラス基板上に低温かつ簡易なプロセスで形成したメタルゲートからなる平面型メタルDG 低温poly-Ge TFTについて、Geの膜厚を薄くすること及び熱処理を改良することでon/off比の改善に成功した。

【参考文献】

- 1) 西村 その他: 2015年春季応用物理学会, 13a-P14-6 (2015).
- 2) Y. Nishimura et al.: Proc. of AM-FPD 2015, L-3 (2015).

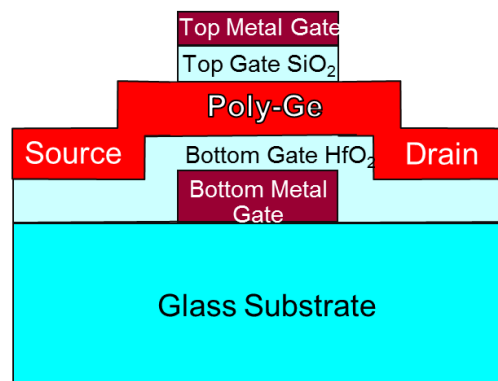


図1 断面図

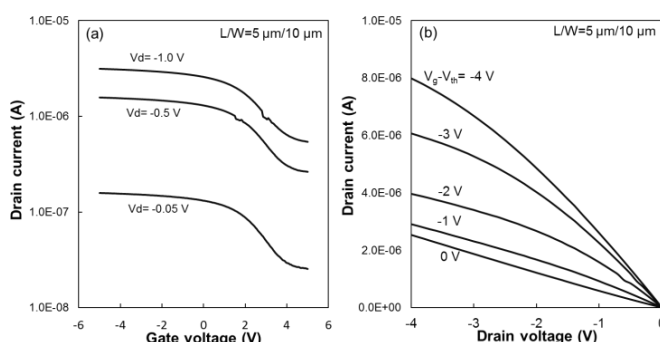


図2 TFT 特性

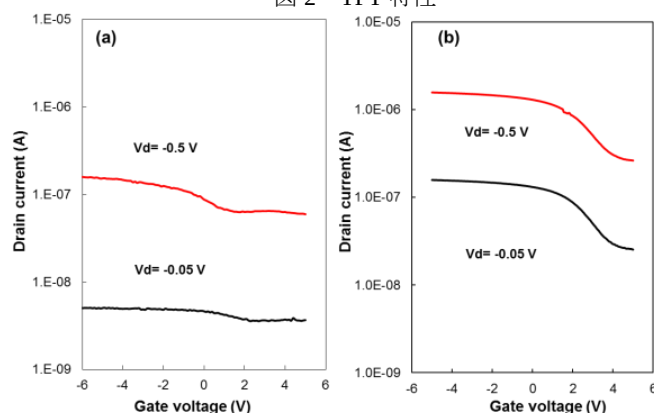


図3 TFT 特性の比較