

CMOS アニーリングを用いた組合せ最適化問題向け 20k スピンイジングチップ

A 20k-spin Ising Chip for Combinatorial Optimization Problem with CMOS Annealing

○山岡雅直、吉村地尋、林真人、奥山拓哉、青木秀貴、水野弘之(日立研究開発グループ)

○Masanao Yamaoka, Chihiro Yoshimura, Masato Hayashi, Takuya Okuyama,

Hidetaka Aoki, Hiroyuki Mizuno (Hitachi, Ltd., Research & Development Group)

E-mail: masanao.yamaoka.ns@hitachi.com

近い将来、社会で用いられるさまざまなシステムの制御が必要となる。システムの制御には、システムを制御するパラメータの最適化が必要となり、そのためには、組合せ最適化問題を解く技術がキー技術となると考えられる。従来の計算手法では、システムが大規模化し、パラメータ数が増大すると計算量が指数関数的に増加し、対応することが困難となる。

組合せ最適化問題を効率よく解く手法として、イジングモデル(図 1)を用いた CMOS イジング計算機を提案した。イジングモデルとは、磁性体の振る舞いを表す統計力学上のモデルであり、磁性体のスピン間の相互作用によりそのエネルギー H が最小となるようにスピンの状態が更新され、最終的に H が最小となるという性質がある。イジング計算機では、最適化問題をこのイジングモデルに写像し、エネルギー最小の状態を求めることによって、元の最適化問題の評価指標を最適化する解を得る。提案した CMOS イジング計算機では、デジタル回路を用いたイジングモデルのスピン間の相互作用と外部から加えたノイズによりイジングモデルのエネルギー最小の状態を求める(CMOS アニーリング)。

このたび、このイジングモデルの動作を半導体 CMOS 回路で行う 20k スピンを含んだ CMOS イジングチップを、65nm プロセスで試作した(図 2)。CMOS アニーリングで用いるノイズとしては、外部から加えた乱数を利用した。試作チップによって、組合せ最適化問題の 1 つである最大カット問題を解き、実際に組合せ最適化問題が解けることを確認した。本試作チップは通常の半導体プロセスで作られているため、室温動作可能である。さらに、従来の計算機で近似アルゴリズムを用いて同様の問題を解いた場合と比較して、エネルギー効率が 1,800 倍効率化できることを確認した。

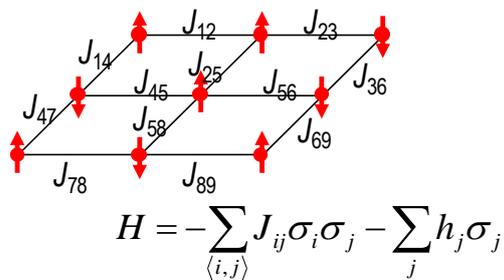


図 1. イジングモデル

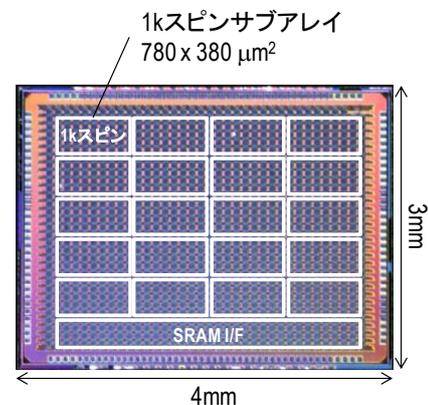


図 2. 試作したイジングチップ