シリコン MOS 素子における単一電子スピン効果

Single electron-spin effect in silicon MOS devices

大野 圭司 (理研)
RIKEN， Keiji Ono
E-mail: k-ono@riken.jp

1024 ビット整数の素因数分解が可能な大規模量子コンピュータの構築には 10^9 個に達する物理量子ビットが必要であることが示されている[1]。これらの物理量子ビットは Divincenzo の条件として知られる長いコヒーレンス時間等の要請を満たすだけでなく、10^9 個の規模で集積され個別にアクセス可能な系で実装されなければならない。現在この規模の集積が可能な系は、古典情報処理に限っても、シリコン MOS 素子からなる大規模集積回路をおいて他にない。これは、大規模量子コンピュータも古典コンピュータ同様シリコン技術の上でしか成り立たたず、その実現のためにはシリコン技術と整合性をもつ量子ビットが必要となることを示唆している。この要請を満たす量子ビットの候補として、我々はシリコン MOS 界面付近に存在する欠陥準位、特にその電子スピン自由度と、そこへの電気的アクセスに着目した研究を行った。

MOS トランジスタのチャネル長が十分に短い場合、そのゲート閾値直前の低温電気伝導特性には、単一欠陥準位を介したソース・ドレイン間の単一電子輸送が現れることが知られている。さらにスピンブロッケードとして知られる領域においては、単一電子スピン状態を磁気共鳴により操作することで、単一電子伝導を On/Off することが可能である [2]。我々は短チャネルシリコン MOS トランジスタの低温 1.5K での電子輸送特性において、欠陥準位を介した単一電子伝導と単一電子スピン共鳴を観測した[3]。これは MOS 素子内に存在する単一電子スピン量子ビットへの電気的アクセスが可能であることを示している。

さらに上記結果を発展させ、室温を含むより高温において単一スピン操作を実現することを目標に、トンネル電界効果トランジスタ(TFET)構造をベースとした素子の研究も行った。TFET は n 型のソース、p 型のドレイン電極を持つゲート変調可能な PIN 構造であり、そのチャネル長が十分短い場合にはシリコンバンドギャップ内深くの準位を介したソース・ドレイン間の室温単一電子伝導が可能である。我々は深い準位を持つ欠陥および不純物を導入した短チャネル TFET について室温までの電気伝導特性を評価した。複数の素子で最大 0.4 eV 程度の単一電子帯電エネルギーが得られ、室温においても単一電子伝導特性が観測された[4]。

[1] N. C. Jones, *et al*, Phys. Rev. X. **2**, 031007 (2012).
[2] K. Ono, *et al*, Science, **297**, 1313 (2002). F. H. L. Koppens, *et al*, Nature **442**, 766 (2006).
[3] 大野圭司、*他*、日本物理学会第 68 回年次大会 29aXQ-6、日本物理学会第 69 回年次大会 29pAU-4、日本物理学会 2014 年秋季大会 8pAV-6。
[4] 大野圭司、*他*、2014 年第 75 回応用物理学会秋期学術講演会 17p-A16-7、2015 年第 62 応用物理学会春季学術講演会 11p-A23-11。

© 2015年 応用物理学会