

ソース・ドレイン領域のランダムドーパント揺らぎによる Si ナノワイヤトランジスタの電流ばらつきの統計的解析

Statistical Analysis of the Current Variability of Si Nanowire Transistor

Induced by Random Dopant Fluctuation in Source and Drain Regions

早大理工¹, 阪大院工² ○小川 雄己¹, 鎌倉 良成², 渡邊 孝信¹

Waseda Univ.¹, Osaka Univ.² ○Yuki Ogawa¹, Yoshinari Kamakura²

and Takanobu Watanabe¹

E-mail: ogawa@watanabe.nano.waseda.ac.jp

【はじめに】Si-CMOSの微細化および高集積化を阻む要因として、閾値電圧やドレイン電流の統計的ばらつきが大きな問題となっている。統計的ばらつきの要因はメタルゲートの仕事関数揺らぎ、ライン・エッジラフネス等があるが、不純物半導体を使う限り原理的に不可避なばらつき要因として不純物分布の揺らぎ(Random Dopant Fluctuation; RDF)が挙げられる。最近のシミュレーションによる研究^[1]によると、仮にチャネル領域をノンドーブにしてもソースおよびドレイン領域のRDFが大きなばらつきの要因として残り、その影響はランダム・テレグラフ・ノイズ(RTN)による電流の時間的な変動をも上回り得ることが指摘されている。ただし、電流ばらつきの不純物濃度依存性など詳細な検討は十分でなく、RDFが統計ばらつきの決定的要因となるかどうかは確定していない。本研究では、Siナノワイヤトランジスタをモチーフとし、オン電流のソースおよびドレイン領域内の不純物イオン密度依存性を解析した。

【シミュレーション方法】本研究では、粒子ベースのキャリア輸送シミュレーション法であるEMC/MD法を採用した^[2,3]。図1に、計算に用いた円筒形全周ゲートn-i-n SiMOSFETを示す。デバイスサイズは、ITRS2012^[4]に基づいて定めた。ナノワイヤ断面内に量子閉じ込め効果を考慮したポテンシャルを設け、チャネル長手方向には周期的境界条件を課した。ゲート電圧を印加した時の電界効果はチャネル周囲に様に配置した電荷の量を調整することで簡易的に再現している。平均電流が約2000[μA/μm]となるようにゲートの電荷量を設定した。今回、ソースおよびドレイン領域のドナー濃度を 0.5×10^{20} , 1.0×10^{20} , 4.0×10^{20} cm⁻³の3通りに設定した。1つの計算条件につきドナー配置をランダムに変化させた計算を30回繰り返し、累積確率分布を求めた。

【結果・考察】EMC/MDシミュレーションで見積もったソースおよびドレイン領域のRDFの累積確率分布を図2に示す。電流値は50psの平均値をチャネル径で規格化した値である。不純物濃度が高くなるほどRDFは小さくなると期待されたが、今回のシミュレーションで調べた範囲では逆に電流ばらつきが増加した。Siナノワイヤのような非常に限られた結晶サイズにおいては、不純物濃度を数倍程度増加させるだけではソース・ドレイン領域のポテンシャルの均一性は高まらず、返って電流ばらつきを増やす可能性が考えられる。講演当日はさらに不純物濃度の範囲を広げた解析結果を報告する予定である。

【謝辞】本研究は科学研究費補助金・基盤研究(B)(15H03979)の支援を受けて行われた。

【参考文献】[1]A. Suzuki et al., IEDM Extended Abstract, 30.1.4. (2014). [2]Y. Kamakura et al., IEICE Trans. Elec., 86.3

(2003) 357. [2]C. Jacoboni et al., Rev. Mod. Phys., 55.3 (1983) 645. [4]ITRS2012, <http://www.itrs.net/>, (2014).

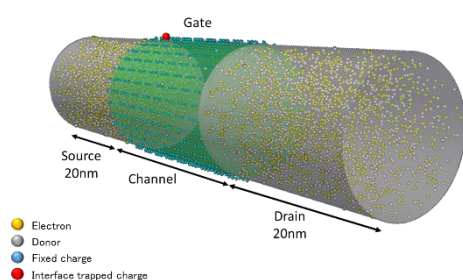


図1. ナノワイヤ型 n-i-n SiMOSFET モデル

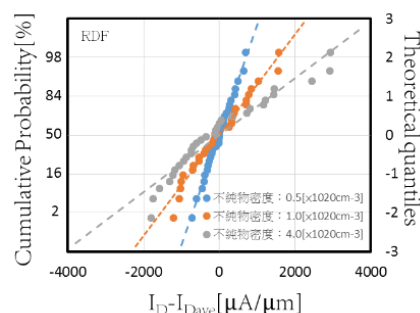


図2. オン電流の累積確率分布