

スーパー接合構造を持つ SBCD のデバイスシミュレーション

Simulation of Self-bias Channel Diode having Super Junction structure

〇對馬 広隆¹, 工藤 嗣友², 菅原 文彦¹ (1. 東北学院大工, 2. 神奈川工科大)

〇Hiroataka Tsushima¹, Tsugutomo Kudoh², Fumihiko Sugawara¹

(1. Tohoku Gakuin Univ., 2. Kanagawa Inst. of Tech.)

E-mail: {s1594306, sugawara}@mail.tohoku-gakuin.ac.jp, tsugu@ele.kanagawa-it.ac.jp

1. はじめに

著者らは 3 端子動作のチャネルダイオードに自己バイアス効果を導入した DMOS セル構造を持つ低オン電圧の自己バイアスチャネルダイオード (Self-biased Channel Diode 以降 SBCD) を提案している。このデバイスはオン電圧と耐圧にトレード・オフ関係がある。本報告では, SBCD にスーパー接合構造を採用することにより, オン電圧に悪影響を与えることなく, 高耐圧化が可能なことを確認したので報告する。

2. デバイス構造と動作原理

図 1 は DMOS 型(a)とスーパー接合構造を採用した SBCD(b)を示している。順方向は, カソード電極に対して, アノード電極に正電圧が印加された場合で, アノードと短絡しているゲート電極にも正電圧が印加される。SBCD は熱平衡状態で弱い n チャネルがすでに形成されており, このような状態でゲート電圧にわずかな値を印加することで強い n チャネルが形成されやすくなり電子が n_K 領域から n_b 領域およびチャネルを経由して導通状態となる。

上記と逆の印加電圧では逆バイアス接合は J_2 となり, 印加電圧のほとんどは接合 J_2 に加わり, MOS ゲートには電圧が印加されず, 非導通状態となる。この時, DMOS 型では接合 J_2 に電界が集中するため, n_b 領域を長くしても耐圧は向上しない。しかし, スーパー接合構造の採用により, 接合 J_2 だけでなく接合 J_3 にも印加電圧が加わるため電界集中が緩和され, 高耐圧化が期待できる。

3. シミュレーション結果及び考察

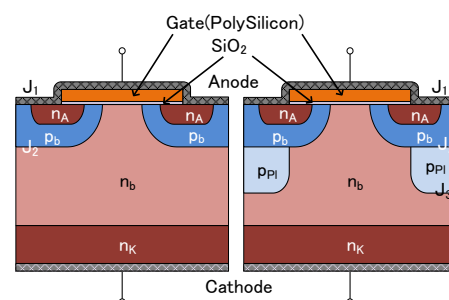
本構造のシミュレーションではピラー幅を $1[\mu\text{m}]$, ピラー深さを $0.5[\mu\text{m}]$ から $5.0[\mu\text{m}]$, n_b 領域の長さを $3.2[\mu\text{m}]$ から $7.7[\mu\text{m}]$ まで, $0.5[\mu\text{m}]$ 刻みで変化させたスーパー接合構造と, n_b 領域の長さを $4.7[\mu\text{m}]$ とした DMOS 構造で耐圧とオン電圧を調べた。

図 2 は, 75°C のブレイクダウン時における DMOS 型(a)とスーパー接合構造(b)の 2 次元電界分布を示している。DMOS 型では, 接合 J_2 部に電界の集中がみられ, これにより n_b 領域を長くしても耐圧は向上しない。一方, スーパー接合構造では接合 J_2 部の電界集中が緩和され, かつ深さ方向への電界分布の広がりが見られる。これにより高耐圧化が実現できると考えられる。

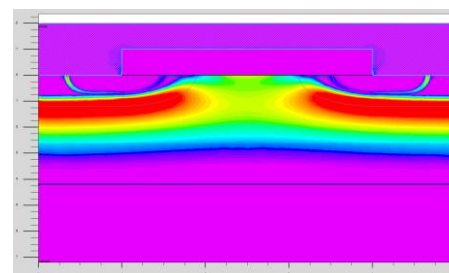
図 3 は, 75°C における耐圧とオン電圧のピラー深さ依存性を示している。ピラー構造を持たない DMOS 型の耐圧は 40V 程度であるのに対して, ピラーが深くなると, 耐圧はほぼ直線的に増加し, ピラー深さ $5\mu\text{m}$ の場合は 110V 程度に増加している。一方, オン電圧はピラーの深さに対して, ゆるやかに増加し, あまり影響を受けていない。このことから, SBCD にスーパー接合を採用することにより, オン電圧に悪影響を与えずに高耐圧化が実現できる。

4. 謝辞

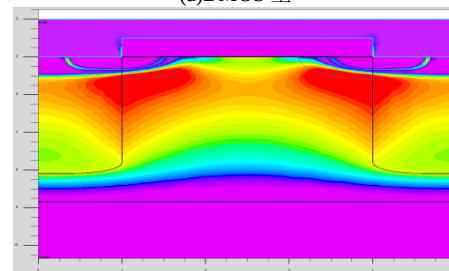
本研究の一部は, JST の「(A-STEP)探索タイプ」の助成を受けて行われた。



(a)DMOS 型 (b) スーパー接合構造
図 1. DMOS 型およびスーパー接合構造 SBCD



(a)DMOS 型



(b) スーパー接合構造(Pillar depth: $5.0[\mu\text{m}]$)
図 2. 2 次元電界分布

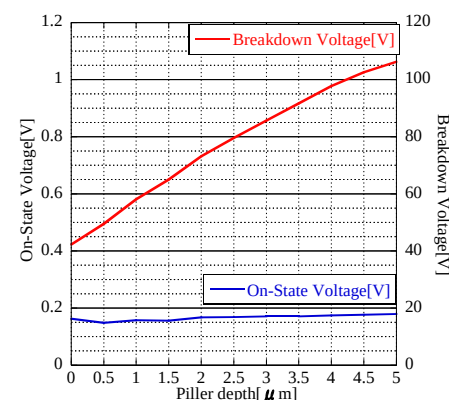


図 3. 耐圧とオン電圧のピラー深さ依存性