

塗布および無電解めっき法によるフレキシブル基板上 有機単結晶トランジスタアレイ

Organic Single-Crystal Transistor Arrays on Flexible Substrates

by Solution and Electroless Plating Methods

○田中秀幸¹、宇佐美由久²、横山嵩祥³、大鷲祐貴³、谷口和也⁴、加藤哲弥⁴、片山雅之⁴、伊東正浩⁵、進藤義朗⁶、和知弘⁵、岸村眞治¹、松井弘之¹、佐々木真理¹、三津井親彦¹、岡本敏宏^{1,7}、竹谷純一¹ (1. 東大新領域、2. 富士フイルム、3. トップラン・フォームズ、4. デンソー、5. EEJA、6. THD、7. JST さきがけ)

○H. Tanaka¹, Y. Usami², T. Yokoyama³, Y. Owashi³, K. Taniguchi⁴, T. Kato⁴, M. Katayama⁴, M. Ito⁵, Y. Shindo⁶, H. Wachi⁵, S. Kishimura¹, H. Matsui¹, M. Sasaki¹, C. Mitsui¹, T. Okamoto^{1,7}, J. Takeya¹
(1.The Univ. of Tokyo, 2. FUJIFILM, 3. TOPPAN FORMS, 4.DENSO, 5.EEJA, 6. THD, 7.JST-PRESTO)

E-mail: h-tanaka@k.u-tokyo.ac.jp

低コストで大面積化が可能なプリンテッドエレクトロニクスが注目を集めている。有機半導体はその中心的な役割を果たす材料として期待されており、高性能な論理回路やRFIDタグを形成できる高移動度なトランジスタデバイスが報告されてきた[1]。高性能な有機トランジスタ半導体結晶膜を作製するための塗布技術が確立されつつあるが、フレキシブルデバイス製造に向けたプロセス検討においては多くの課題が潜伏しているといえる。本研究では、フレキシブル基板上におけるトランジスタ回路の集積化および大面積化を可能とする150℃以下での低温プロセス技術の確立を目的とした。

大面積フレキシブルデバイスにおいては、単デバイスの作製技術と比較して、ばらつき低減や歩留まり向上が重要課題の一つとなるため、均一かつ高性能化容易なボトムゲート・トップコンタクト型構造を採用した。まず、フレキシブル基板上に、高平滑化が可能な銀インク（トップラン・フォームズ社製）を塗布成膜しゲート電極とした[2]。次に、ALD法により均一性の高い絶縁膜を成膜し、表面のアルミナ膜をホスホン酸SAMで表面修飾した後に、p型およびn型有機半導体の単結晶膜を塗布成膜した。ソース・ドレイン電極には、無電解めっき法によって成膜されるAg: Auハイブリッド膜を用い、フォトリソグラフィーによるパターン形成を施した[3]。代表的なp型半導体(C₁₀-DNBDT)トランジスタの移動度は5 cm²/Vsを示し、論理回路等への応用が可能な水準である事が分かった。

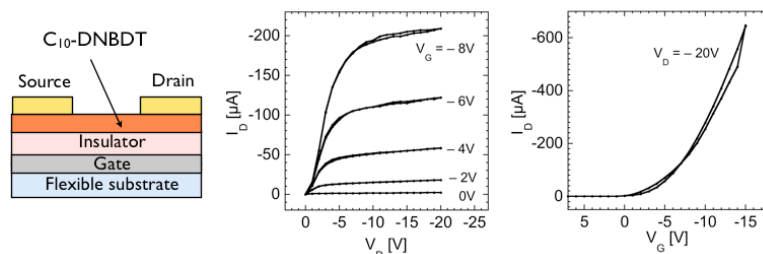


Fig.1 Device structure and transistor characteristics of C₁₀-DNBDT.

[1] 山村 祥史 他, 第 62 回応用物理学会春季学術講演会, 12a-D3-8 [2] 松本孝典 他, 第 61 回応用物理学会春季学術講演会, 19a-E3-6, [3] 伊東正浩 他, 第 62 回応用物理学会春季学術講演会, 14p-D3-6

【謝辞】本研究の一部は、NEDO 戦略的省エネルギー技術革新プログラムにおいて実施された。