超格子 FET のための AlAs/InGaAs ダブルバリア p-i-n 接合ダイオード

AlAs/InGaAs double barrier p-i-n junction diode for Superlattice FET

°行待 篤志 [1]、宮本 恭幸 [1]（1. 東工大院理工）

°Atsushi Yukimachi[1], Yasuyuki Miyamoto[1] (1.Tokyo Tech)

E-mail: yukimachi.a.aa@m.titech.ac.jp

研究背景

FET の省電力化、高速化のため、従来の MOSFET より急峻な SS が得られる FET として超格子 FET が提案されている[1][2]。しかしこの FET で実際に室温において 60mV/dec より急峻な SS を観測したという報告は無く、これを実際に動作させることが求められている。

そこで、超格子 FET より構造を簡単にした InAlAs/InGaAs ダブルバリア構造で p-i-n ダイオードを作り、急峻な特性が観測できないか実験を行ったが、多少 n 値が凹むにとどまり、1 を下回ることはなかった[3]。そこで、今度はより高いバリアによって急峻な I-V 特性が期待できる AlAs（InGaAs に対するバリア高さは 1.1eV）をバリアに採用して実験を行った。

素子構造決定と素子作製

素子構造は Fig. 1 の通りである。AlAs は InP に格子整合せず、臨界膜厚が 10nm 程度と考えられるので、バリア厚さは 3nm とした。この構造に関して伝搬行列法によって透過率を計算し、Easki-Tsu の式に基づいて I-V 特性を計算した。比較対象として InP バリア、InAlAs バリアについても計算した結果が Fig. 2 である。3 種類のバリアを比較すると、AlAs がもっとも電流が小さくなってしまっているものの、ボトルネック高さが 0.5V 付近で 3 桁に渡って急峻な領域が続いていることがわかる。ここを観測することを目標とした。

この構造の素子は MOVPE 装置を用いて成長し、フォトリソグラフィーで 5-50μm 角のパターンを露光し、電極を蒸着して素子分離して作製した。

測定結果

Fig. 3 が測定結果である。n 値は 1 こそ下回っていないものの、0.35-0.5V において、n 値の大きな凹凸が見られることがわかる。ダブルバリアダイオードでは一旦 n 値が高くなってから 1 を下回る特性が得られると考えられるため、特に 0.45V 付近の凹みに関しては今後の改良で n 値を 1 下回らせられる可能性が高いと考えられる。井戸幅を狭めて井戸の量子準位間隔を広げることでミニバンドの幅を広げることができるので、n 値の凹む電圧幅を広げることができるので、そのようにして n<1 を実現できる可能性があると考えられる。

謝辞

本研究は日本学術振興会科学研究費補助金の補助を受けて行われた

参考文献

[1] E. Gnani, P. Maiorano, S. Reggiani, A. Gnudi and G. Baccarani: IEDM (2011) 5.1.1.
[2] M. Kashiwano, A. Yukimachi and Y. Miyamoto: SSDM (2013), D-7-3
[3] A. Yukimachi, M.Kashiwano and Y. Miyamoto: 第 62 回応物春季学術講演会 13p-P17-4

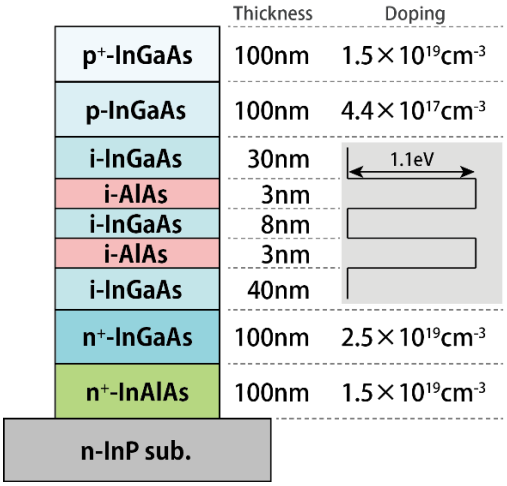

Fig. 1 Fabricated double barrier p-i-n diode

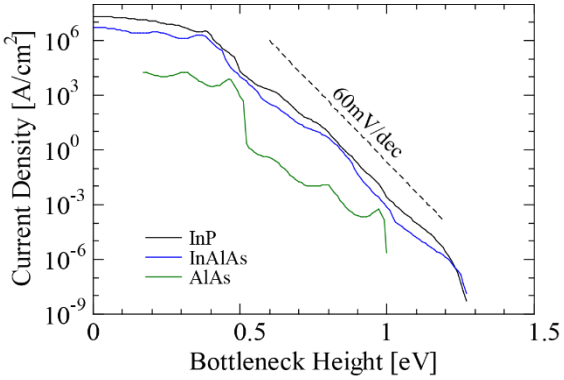

Fig. 2 Barrier height dependence of I-V characteristics

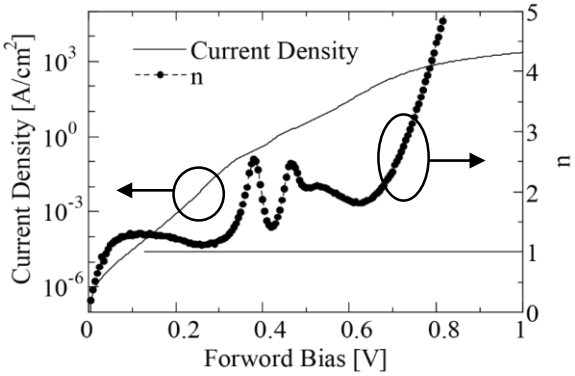

Fig. 3 Experimental result of AlAs/InGaAs double barrier p-i-n junction diode

© 2015年 応用物理学会