

シリコンモノオキサイド蒸着膜によるグラフェンのドーピング

Doping of Graphene by Evaporated Silicon monoxide Film

○鈴木 誠也、吉村 雅満 (豊田工大)

Seiya Suzuki and Masamichi Yoshimura (Toyota Technological Institute)

E-mail: sd11502@toyota-ti.ac.jp

【はじめに】グラフェンは常温で非常に高い易動度を持つが、分子吸着により電気特性が著しく変化する[1]。そのため、グラフェンの電子・光学デバイス応用では、グラフェン上に誘電体の保護膜を形成し、分子吸着を防ぐことが望ましい。これまでに本研究グループでは、シリコンモノオキサイド (SiO) の蒸着膜 (成膜時の酸化で SiO_x 膜となる) がグラフェンへ欠陥を誘起せず[2]、保護膜に適することを示してきたが、グラフェンの電気特性への影響が明らかではなかった。本発表では、 SiO_x 膜の組成 (Si/O 比) を変化させ、界面構造の違いにより SiO_x 膜とグラフェン間の電荷移動、すなわちドーピングについて調べた結果を報告する。

【実験方法及び結果】電気特性を評価するため、Fig. 1(a)に示すグラフェン電界効果トランジスタ (GFET) を作製した。デバイスに用いた単層グラフェン (ドメイン直径 100~500 nm) は大気圧化学気相成長法により合成した。レジスト残渣によるドーピングを避けるため、シャドウマスクを用いて電極 (Ni) と SiO_x 膜のパターニングを行った (Fig. 1(b))。Fig. 1(c) に真空中で測定した GFET の特性を示す。グラフェン上への SiO_x 堆積により、ディラック点が約 6 V 減少しており、グラフェンが n ドープされたことが分かる。また、フィッティングにより易動度を算出すると、 SiO_x 膜堆積による易動度の低下 (uncoated: $2,620 \text{ cm}^2/\text{Vs}$, SiO : $3,030 \text{ cm}^2/\text{Vs}$) は見られず、 SiO_x 膜がグラフェンの保護膜として有効であると言える。Fig. 1(d) に異なる屈折率 (n) を持つ SiO_x を堆積させたときのグラフェンの G peak と $G\phi$ peak の関係を示す。全ての SiO_x 膜で G が大きい程 $G\phi$ が大きくなる傾向が見られ、歪みが影響していると考えられる。さらに、 n が小さい (1.68, 1.83) SiO_2 ライクな場合 (橙破線) と、 n が大きい (1.99, 2.02) SiO ライクな場合 (青破線) では分布が異なっており、グラフェンへのドーピング量が異なることが示唆される。

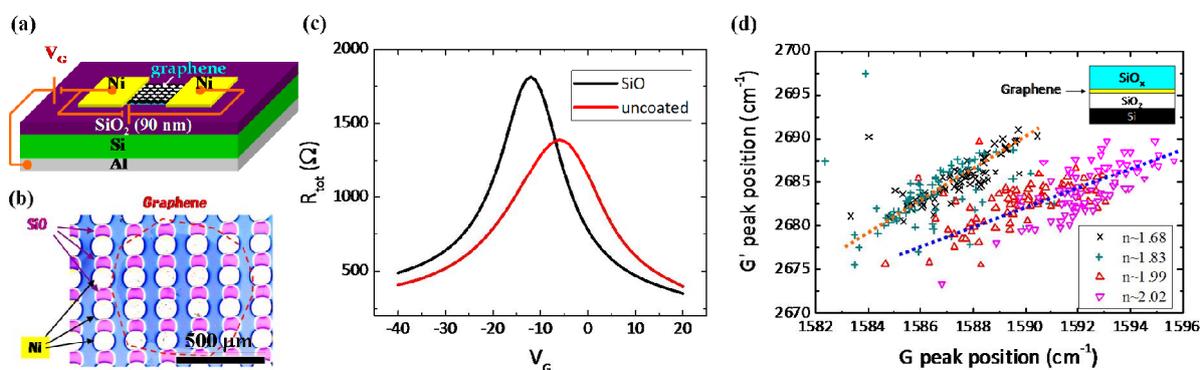


Fig. 1. (a) Schematic illustration of graphene field effect transistor (GFET), (b) Optical microscope image of the fabricated GFET, (c) Gate property of the SiO -coated and uncoated GFET, and (d) Distribution of G and $G\phi$ peak positions of the graphene coated by SiO_x with different refractive index.

[1] F. Schedin et al., Nat. Mater. **6**, 652 (2007). [2] S. Suzuki et al., Jpn. J. Appl. Phys. **52**, 125102 (2013).