## InSb HEMT 作製におけるプロセスダメージの検討

## A Study on Process Damage during Fabrication of InSb HEMT

東理大院基礎工<sup>1</sup>, 情報通信研究機構<sup>2</sup> O前田章臣<sup>1</sup>, 辻大介<sup>1</sup>, 竹鶴達哉<sup>1</sup>, 藤川紗千恵<sup>1</sup>,

藤代博記<sup>1</sup>, 渡邊一世<sup>2</sup>, 山下良美<sup>2</sup>, 遠藤聡<sup>2</sup>, 原紳介<sup>2</sup>, 笠松章史<sup>2</sup>

Tokyo University of Science<sup>1</sup>, National Institute of Info. & Com. Tech.<sup>2</sup>

<sup>O</sup>T. Maeda<sup>1</sup>, D. Tsuji<sup>1</sup>, T. Taketsuru<sup>1</sup>, S. Fujikawa<sup>1</sup>, H. I. Fujishiro<sup>1</sup>, I. Watanabe<sup>2</sup>, Y. Yamashita<sup>2</sup>, A. Endoh<sup>2</sup>, S. Hara<sup>2</sup> and A. Kasamatsu<sup>2</sup> E-mail: 8113637@ed.tus.ac.jp

<u>はじめに</u>:狭バンドギャップ半導体である InSb は III-V 族半導体の中で最小の電子有効質量をも つ。そのため、InSb をチャネルとする高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) はミリ波・サブミリ波帯 (30 GHz~3 THz) で動作可能な高周波・低消費電力デバイスと して期待されており、ゲート長 ( $L_g$ ) 85 nm の InSb HEMT で遮断周波数 ( $f_T$ ) 340 GHz が報告さ れている<sup>[1]</sup> しかし、InGaAs/InAs/InGaAs をチャネルとする HEMT ( $L_g = 60$  nm) では $f_T = 710$  GHz が報告されており<sup>[2]</sup>、InSb のもつ物性を HEMT に十分に発揮できていない。また、これまで我々 は量子補正モンテカルロ計算により、InSb HEMT は THz 領域で動作可能であることを報告したが <sup>[3]</sup>、 $L_g = 30$  nm の InSb HEMT において  $f_T = 114$  GHz で、かつドレイン電流があまり高くないとい う問題点があり、プロセス条件の最適化が必要とされる<sup>[4]</sup>。そこで、HEMT の DC および高周波 (RF) 特性に大きく関わるゲート電極形成前に行うプラズマ処理である反応性イオンエッチング (Reactive Ion Etching: RIE) に着目した。本報告では、InSb HEMT 作製プロセスにおける RIE に よるプロセスダメージについて検討した。

実験・結果:図1は、プロセスダメージの評価に用いたホール測定試料(5mm角)の断面構造で、 (100) GaAs 基板上に MBE 法により成長した。InSb HEMT 作製プロセスにおいて、RIE は Te-InSb キャップ層上の SiO<sub>2</sub>保護膜のドライエッチングに用いられる。なお、SiO<sub>2</sub>膜は TEOS (Tetraethyl orthosilicate)を用いた CVD にて成膜された。プロセス中の RIE によるダメージを疑似的に評価す るため、図1の試料を RIE した後、ホール測定を行った。RF 出力 100 W の条件下で RIE (CF4: 30 sccm、4.0 Pa)を行った結果、シート抵抗 (R<sub>s</sub>)は 101 Ω/□から 442 Ω/□に増加した。これ は主にシートキャリア濃度 ( $N_{\rm S}$ ) が  $9.3 \times 10^{12} \text{ cm}^{-2}$ から  $1.8 \times 10^{12} \text{ cm}^{-2}$ に減少したためである。 $N_{\rm s}$ 減少原因は、SIMS 分析によれば、SiO2 成膜前には未検出であったフッ素(F)が、SiO2 の CVD 成膜プロセス以降に SiO<sub>2</sub>膜、Te-InSb キャップ層および AlInSb バリア層内部に混入し(図 2)、更 に RIE 時に混入した F が、エピ構造中のキャリアを捕獲したため Ns が減少、Rs が増加したもの と考えられる<sup>[5]</sup>。次に、RIE 時の RF 出力と R<sub>s</sub>の関係について調べた。図 3 は SiO<sub>2</sub> 膜の RIE 処理 時間とRsの関係を示し、RF出力は100、25および10Wである。なお、図3の赤丸は膜厚30nm の SiO<sub>2</sub>を完全除去する時間を示しており、RF 出力による処理時間の差はエッチングレートが異 なるためである。RF出力低減により、Fによるキャリア捕獲は減少し、10WではRsはRIE処理 前の値とほとんど変わらなかった。したがって、RF 出力を 10 W に下げることにより、RIE によ るプロセスダメージをほぼ抑制できることが分かった。

## <u>参考文献</u>:

T. Ashley *et al.*, Proc. DRC2006, pp. 201
長井他、第 74 回秋季応物 19p-D7-2 (2013)

[2] E.-Y.Chang *et al.*, APEX, **6**, 034001 (2013) [4] 高橋他、第 60 回春季応物 29a-G11-4 (2013)

[5] 早藤他、応用物理 第 66 巻 第 2 号 pp.151-155 (1997)



Fig. 1 Schematic cross-sectional view of InSb HEMT.



Fig. 2 SIMS profiles of fluorine atoms in InSb HEMT structure.



Fig. 3 Sheet resistance dependence on RIE time under RF power of 100, 25 and 10 W.