容量測定法による SiC-PN ダイオードの電荷変動機構解析

Analysis of Charge Density Instability in SiC-PN Diodes by measuring capacitance

日立中研　°松島 宏行、沖野 泰之、望月 和浩、山田 廉一

Hitachi, Ltd., Central Research Laboratory

°Hiroyuki Matsushima, Hiroyuki Okino, Kazuhiro Mochizuki, and Renichi Yamada

E-mail: hiroyuki.matsushima.fw@hitachi.com

緒言　SiC パワーデバイスは次世代パワーデバイスとして注目されているが、Si パワーデバイスとは異なる信頼性の課題がある。その一つは、高温下で長時間の高電圧ストレスを印加することで Si 以上に耐圧低下が生じる問題である。これまで報告されてきた仮説として、ターミネーションにおける SiC/SiO_2 界面の電荷変動[1]と SiC バルク中の PN 接合での電荷変動[2]の二つがある。本報告では、電荷変動を実験的に示すためにストレス前後の容量測定を実施した。その結果、ターミネーション中の空乏層拡がりの変化を解析することで電荷変動の生じる領域を明らかにした。

実験方法　解析用デバイスとしてターミネーション構造が Junction Terminated Extension (JTE)の PN ダイオードを 4H-SiC 基板上に作製した。電圧ストレスは、高温下でアバランシェ電圧以下の電圧を 62 時間まで印加した。シミュレーションは SILVACO 社のデバイスシミュレータを用いた。

結果　測定結果より、初期状態に比べてストレス印加後の容量が小さくなっている(図 1)。これは、SiC/SiO_2 界面の電荷が増加することで JTE 内への空乏層拡がりが大きくなっていることを示している。バルク中の電荷変動が生じる場合、エピ層への空乏層拡がりが小さくなることでストレス印加後の容量が増加するため、この結果では説明できない。シミュレーション結果より、SiC/SiO_2 界面の電荷量が増加すると JTE 内への空乏層拡がりが大きくなっている(図 2)。これは図 1 の容量変化をよく説明できる結果である。以上より、ストレス前後で SiC/SiO_2 界面電荷量が変化することで、JTE 内の空乏層容量変化が生じることがわかった。ストレス前後の電荷変動解析にはターミネーションの容量測定が有効な手段である。

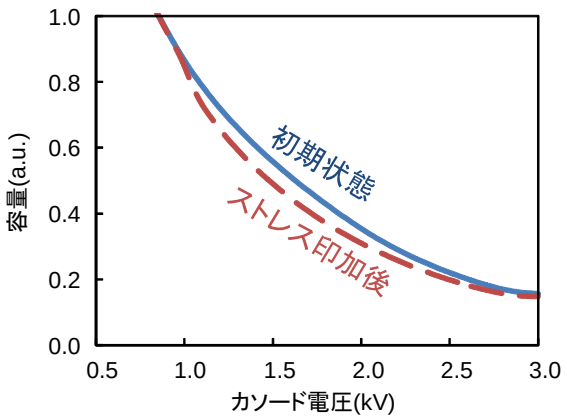

図 1 PN ダイオードの容量測定結果

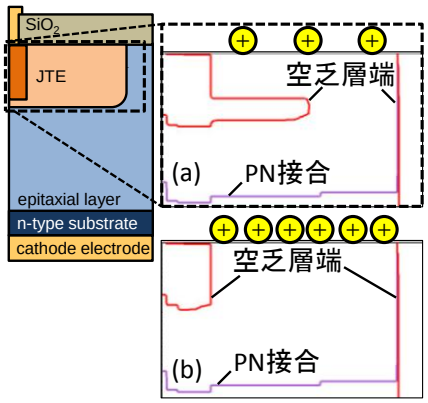

図 2 JTE 領域のカソード電圧 1.5 kV のシミュレーション結果
(SiC/SiO_2 の界面電荷量 (a) < (b))

[1] T. Okayama, S. D. Arthur, R. R. Rao, K. Kisjpre, and M. V. Rao, IEEE Trans. Electron Devices 55, 489 (2008)
[2] P. G. Neudeck and C. Fazi, J. Appl. Phys. 80, 1219 (1996)

© 2015年 応用物理学会