

パルス I - V 法による 4H-SiC MOSFET の界面特性評価Interface Characterization of 4H-SiC MOSFETs by Pulse I - V Measurements○磯野 弘典¹、矢野 裕司^{1,2}、冬木 隆¹ (1. 奈良先端大、2. 筑波大)○Kosuke Isono¹, Hiroshi Yano^{1,2}, Takashi Fuyuki¹ (1.NAIST, 2.Univ. Tsukuba)

E-mail: isono.kosuke.ie0@ms.naist.jp

【概要】SiC MOSFET は、しきい値電圧(V_{th})の変動や低いチャネル移動度が課題となっている。 I_d - V_{gs} 測定は、一般的に直流(DC)電圧をゲート電極に印加して掃引することで行われるが、ゲート電圧印加中に界面準位や酸化膜中の欠陥に電子が捕獲されることにより電気特性が変動することが指摘されている[1]。本研究では、界面欠陥がドレイン電流に与える影響をより正確に評価するため、電圧印加時間を制御できるパルス電圧を用いた I_d - V_{gs} 測定を 3 種類の結晶面上に形成した SiC MOSFET に対して行い、MOS 界面特性評価を行った。

【実験】(11-20)a 面, (1-100)m 面, 及び(0001)Si 面 4H-SiC p 型エピ基板を用いてプレーナ型 n チャネル MOSFET を作製した。ゲート酸化膜は、熱酸化膜を形成後、a 面, m 面については NO アニールを行い、Si 面については、NO アニール、および POCl_3 アニール[2]を行った試料を用意した。測定は、ゲート電極に $V_{gs}=15\text{V}$ のシングルパルス(1 つのパルス電圧)を印加して行った。まず、OFF 状態となるベース電圧を印加した後、パルスの立上り時に MOSFET が OFF→ON 時の I_d - V_{gs} 測定を行い、パルス幅(PW)の時間分 $V_{gs}=15\text{V}$ の電圧をゲートに印加して界面欠陥に電子をトラップさせ、パルスの立下り時に ON→OFF 時の I_d - V_{gs} 測定を行った。

【結果・考察】図 1 に a 面 NO 試料のシングルパルス電圧および DC 電圧印加による I_d - V_{gs} 特性を示す。シングルパルス I_d - V_{gs} 測定では、測定中における界面欠陥への電子捕獲が少ないため、DC I_d - V_{gs} 測定よりもドレイン電流(I_d)値が大きくなった。また、 $V_{gs}=15\text{V}$ において、パルス幅の印加中に界面欠陥に電子が捕獲され、 I_d 値が減少する様子が観察された。図 2 にパルス幅を変化させたときの I_d 減少量を示す。パルス幅を長くするにつれて、界面欠陥に電子がトラップされる影響で I_d 減少量が大きくなる傾向が観測された。 I_d 減少量は、a 面, m 面試料の方が Si 面試料よりも大きいことから、トラップの総量も多いと考えられる。講演では、 I_d 減少量のベース電圧依存性、ベース電圧印加時間依存性、測定回数依存性についても議論する。

- [1] M. Gurfinkel, et al.,
IEEE Trans. Electron
Devices, 55, 2004 (2008).
[2] D. Okamoto, et al.,
IEEE Electron Device
Lett., 31, 710 (2010)

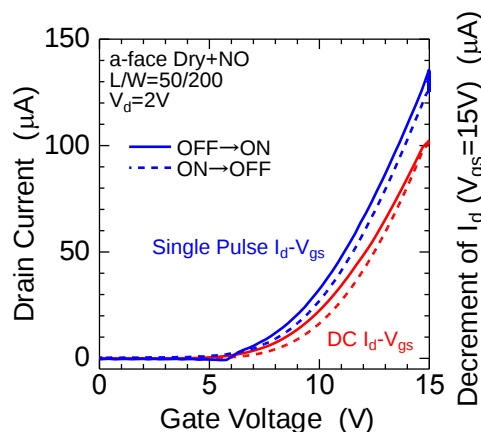


図 1 a 面 NO 試料のシングル
パルス及び DC I_d - V_{gs} 特性

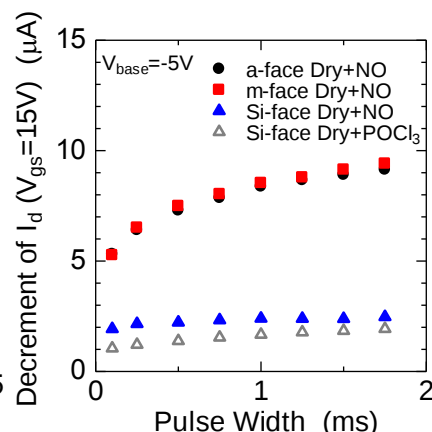


図 2 I_d 減少量のパルス幅依存性