多点高密度計測のためのノイズキャンセリング回路の設計
（集積化脳神経プローブシステムの開発１）

Development of Noise-cancelling Circuit for Intelligent Neural Recording System.

°永藤弘嵩 [4]、谷卓治 [1]、長沼秀樹 [1]、岩上卓磨 [1]、川原岬 [2]、伊藤圭汰 [3]、清山浩司 [4]、田中徹 [1,2]
（1. 東北大院工、2. 東北大院医工、3. 東北大工、4. 長崎総科大）
°Hirotaka Nagafuji[4], Takaharu Tani[1], Hideki Naganuma[1], Takuma Iwagami[1], Misaki Kawahara[2], Keita Ito[3], Koji Kiyoyama[4], and Tetsu Tanaka[1,2]
(Dept. of Bioengineering and Robotics[1], Dept. of Biomedical Engineering[2], School of Engineering[3], Tohoku Univ., Nagasaki Institute of Applied Science[4])
E-mail: link@lbc.mech.tohoku.ac.jp, kiyoyama_koji@nias.ac.jp

1. 序論

脳疾患治療や脳機能解明、BMI (Brain-Machine Interface)などの研究が近年盛んに行われており、脳波の高度計測システムの実現が神経科学者や医療従事者から強く要望されている。我々は、種々の脳波を計測できる多機能集積化脳神経プローブシステムの開発を進めている。このプローブシステムは頭皮や頭蓋内外への留置を行い、多点高密度での計測が可能である。多点高密度計測のためにはインピーダンスなどの各種補正や安全補償を有しノイズの中から数 μV の微小な信号を正確に検出・記録する機能の実装が必要である。本研究では、低ノイズ化、高感度化を目標としたプローブシステムのアナログフロントエンド集積回路の開発を行っている。本稿では、相関二重標本化法(CDS : correlated double sampling)によるノイズ低減について述べる。

2. 集積化脳神経プローブシステムの構成

開発中のシステムは、長期間の埋込計測時の細胞への熱ダメージを避けるために省電力かつ小面積が要求される。Fig.1 に無線通信可能なプローブシステムで脳波計測部を構成するブロックの概略図を示す。電極で受けた脳波は、IA (Instrumentation Amplifier)と PGA (Programmable Gain Amplifier)からなる複数の脳波用増幅器(Neural Amplifiers)がアナログ MUX(Multiplexer)を介してバッファ機能を兼ねた１個の CDS に集約されノイズ除去後 ADC (Analog-to-Digital Converter)によりデジタル変換され記録される。インピーダンス計測回路は生体と電極の間の接触抵抗の測定及び校正に用いられる。

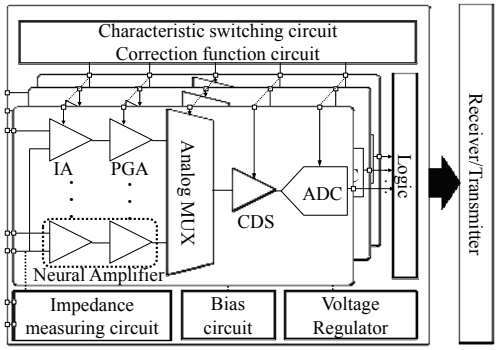

Fig.1 Block diagram of a system

3. CDS の動作原理および結論

多点高密度での計測を行う本プローブシステムでは、電極数と同じ数の脳波用増幅器が実装される。この様なシステムでは電極と生体の接触状態などに依存して発生するノイズに加えて、素子特性ばらつきに起因する増幅器の固定パターンノイズも加わる。その為、ゲイン調整が可能で脳波用増幅器のノイズ除去機能を有する CDS を設計した(Fig.2)。V_{IN} は入力電圧、V_{OUT} は出力電圧、V_{REF} は基準電圧、C_1,C_2 及び C_3 はコンデンサである。ここで S_1,S_2 はスイッチを駆動する 2 相クロックを示す。脳波用増幅器の固定パターンノイズの除去は、最初に S_1 が ON で S_2 が OFF の時、脳波用増幅器の入力を基準電圧に接続したノイズ(V_{NOISE})を取り込む。次に S_1 を OFF で S_2 を ON としてノイズを含んだ信号(V_{SIGNAL}+V_{NOISE})を取り込み、差分を出力する。出力電圧 V_{OUT} は、以下の式(1)で表される。なお、CDS を構成するアンプ自身のオフセット電圧の除去も可能な構成となっている。

$$V_{OUT} = -\frac{C_1}{C_3}(V_{SIGNAL}+V_{NOISE}-V_{NOISE})+V_{REF} = -\frac{C_1}{C_3}V_{SIGNAL}+V_{REF} \quad (1)$$

CMOS0.18μm の SPICE モデルを用いた解析では、ノイズ電圧を 0～1.0V まで変化させたときの残留ノイズ値は最大でも 20μV であった。CDS の動作および評価結果は発表で詳説する。

本研究の一部は株式会社半導体理工学研究センター(STARC)の援助を受け行われた。また、本チップの設計は東京大学大規模集積システム設計教育研究センター(VDEC)を通し日本ケイデンス株式会社、シノプシス株式会社およびメンター株式会社の協力で行われたものである。

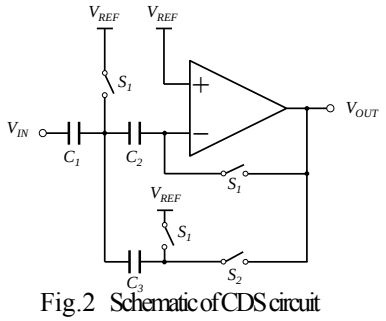

Fig.2 Schematic of CDS circuit

© 2015年 応用物理学会