多点高密度計測のためのインピーダンス補正回路の設計
（集積化脳神経プローブシステムの開発２）

Development of Impedance Calibration Circuit for Intelligent Neural Recording System

○岩上卓磨 [1]、谷卓治 [1]、長沼秀樹 [1]、川原岬 [2]、伊藤圭汰 [3]、永藤弘嵩 [4]、清山浩司 [4]、田中徹 [1,2]
（1. 東北大院工、2. 東北大院医工、3. 東北大工、4. 長崎総科大）
°Takuma Iwagami[1], Takaharu Tani[1], Hideki Naganuma[1], Misaki Kawahara[2], Keita Ito[3], Hirotaka Nagafuji[4], Koji Kiyoyama[4], and Tetsu Tanaka[1,2]
(Dept. of Bioengineering and Robotics[1], Dept. of Biomedical Engineering[2], School of Engineering[3], Tohoku Univ., Nagasaki Institute of Applied Science[4])
E-mail: link@lbc.mech.tohoku.ac.jp

1. 序論

脳疾患治療や脳機能解明、BMI (Brain-Machine Interface) などの研究が近年盛んに行われており、脳波の高度計測システムの実現が神経科学者や医療従事者から強く要望されている。我々は、種々の脳波を計測できる多機能集積化脳神経プローブシステムの開発を進めている。開発中のプローブシステムには、長期間の脳波計測と電気刺激を行うことが求められている。生体に電極を埋植して長期計測・刺激を行う場合、電極への再結合組織の付着などによるインピーダンス変化が重大な問題となる。そのため本研究では、インピーダンスの計測から電極状態を観察し、脳波計測と電気刺激が正常に行えるよう補正するインピーダンス補正機能の開発を行っている。本稿では、構成要素であるインピーダンス計測回路と微小電圧計測部について述べる。

2. 補正機能およびシステム構成

インピーダンス補正機能の概略図を図 1 に示す。計測部は、出力電流を調整可能な電流源(I-source)および微小電圧計測部(V-meas)で構成され、印加した電流と電極部分で発生する電圧からインピーダンスを得る。このデータ(Data)を基にして、信号処理回路(Proc)は、刺激電流値調整(Stim)や脳波計測部のゲイン補正などを行う。インピーダンス測定回路には電極と生体間のインピーダンス(Z_{load})を測定するモードに加え、組織のインピーダンス(Z_{tis})を測定可能なモードを設けた。Z_{load}及び Z_{tis}の測定は印加電流の値と周波数を可変し、図中の赤線と青線で示すそれぞれのパスを用いて取得する[1]。

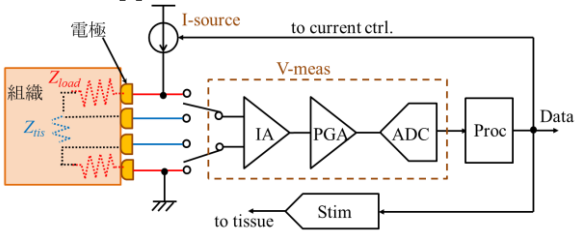

Fig. 1. Schematic of impedance calibration circuit.

3. インピーダンス測定回路の設計と試作

微小電圧計測部は、計装アンプ(IA)、利得切替回路(PGA)およびアナログ・デジタル変換回路(ADC)で構成される。測定対象のインピーダンス Z_{load} および Z_{tis} は、100 Ω~ 10 MΩ を想定している。生体に対して安全に印加可能な電流値の制限から計測出来る電圧値は 25 μV ～ 25 mV 程度と範囲が広いため最適なレベルに増幅後、A/D 変換を行う必要がある。電源電圧および ADC の入力電圧範囲から IA と PGA を合わせたゲインは 12 dB、32 dB および 52 dB が設定できる構成とした。

微小電圧計測部を含むインピーダンス計測回路は、Deep-Nwell CMOS 0.18 μm 1P6M MiM 容量テクノロジを用いて設計した。特性の一例として IA, PGA のシミュレーション結果を図 2 に示す。この図は、電源電圧 1.8 V、MOSFET、Poly 抵抗及び MiM 容量のモデルが Typical の時の特性であり、設計通りの結果が得られている。また、全素子のコーナーモデルを用いた解析からゲイン誤差は 1%以下であることを確認している。V-meas の回路面積は約 500 μm × 450 μm であり、同様の機能を実現した他の研究機関の報告と比較しても非常に小さい。

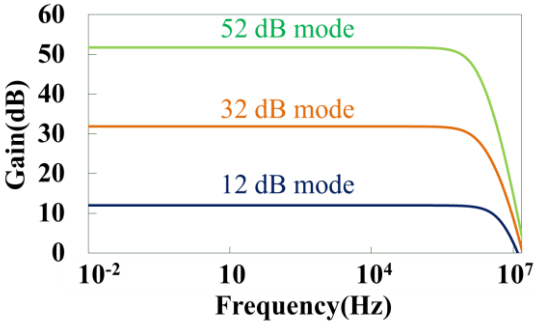

Fig. 2. Gain-Frequency characteristics of IA and PGA.

4. 結論

多機能集積化脳神経プローブシステムで重要な構成要素であるインピーダンス補正回路の設計・動作について述べた。この回路は利得切換機能を有し、広範囲のインピーダンス測定を小面積で実現する。回路構成の詳細および試作チップの評価結果は発表で詳説する。

本研究の一部は株式会社半導体理工学研究センター(STARC)の援助を受け行われた。また、本チップの設計は東京大学大規模集積システム設計教育研究センター(VDEC)を通し日本ケイデンス株式会社、シノプシス株式会社およびメンター株式会社の協力で行われたものである。

参考文献

[1] Kiseok Song, et al., *IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 49, NO. 1, JANUARY 2014.*

© 2015年 応用物理学会