Ni 凝集を利用した転写フリープロセスによるグラフェントランジスタ作製

Graphene Transistors Fabricated by Transfer-free Process via Agglomeration Phenomena of Catalytic Nickel Film

名古屋工業大学　○水野 正也，久保 俊晴，三好 実人，江川 孝志，曽我 哲夫

Nagoya Inst. of Tech.　○M. Mizuno, T. Kubo, M. Miyoshi, T. Egawa and T. Soga

E-mail: cju13365@stn.nitech.ac.jp

1. はじめに　近年、グラフェンは高周波電子デバイスの材料として注目されている。従来のトランジスタとしての応用を考えると、グラフェンは転写ではなく、直接絶縁基板上に形成できるプロセスが望ましい。これまで我々は、薄い Ni 膜を用いることで、絶縁基板上に直接グラフェンを合成できることを報告している [1,2](Fig.1 参照)。本研究では、サファイヤ基板上に転写フリーの本プロセスを適用して、実際にグラフェントランジスタの作製を試みたので報告する。

2. 実験内容　C-面サファイヤ基板を用いて、グラフェン電界効果トランジスタ(FET)を作製することとした。まず電子線蒸着により、サファイヤ基板上に Ni 膜を 20nm 蒸着し、次にアモルファスカーボン膜を高真空中でパルスアークプラズマ蒸着法により Ni/Sapphire 上に形成した。続いて、N_2 雰囲気で 1000℃、5 分間のアニールを行いグラフェン膜をサファイヤ基板上に直接形成した。

続いて FET の作製プロセスに移る。グラフェン保護膜として SiO_2 を EB 蒸着により成膜した。次に、フッ酸によって必要な部分の SiO_2 をエッチングして露出させ、オゾンプラズマによる素子分離とオーミック電極(Ti/Au)を蒸着を行った。次いで、ゲート下の絶縁膜として、SiO_2 を 200nm EB 蒸着した後、ゲート電極(Ti/Au)を形成した。最終的な FET の構造図を Fig.2 に示す。

3. 結果と考察　Fig.3 に Top-Gate グラフェン FET のドレイン電流－ゲート電圧特性を示す。素子はゲート電圧の正負共に変調しており、本プロセスがグラフェン FET 特性を示すことが確認できた。相互コンダクタンスは 0.31 mS/mm であり、移動度を算出すると 39 $cm^2/V \cdot s$ であった。

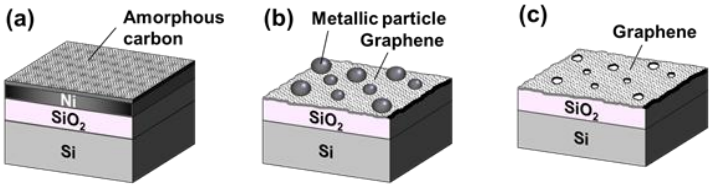

Fig.1 Schematic drawing for the graphene synthesis process utilizing the metal agglomeration phenomena.

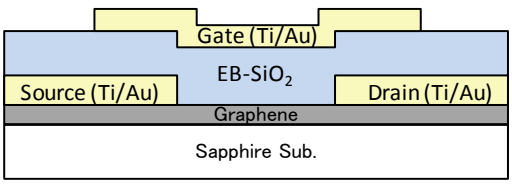

Fig.2 Schematic diagram of the Graphene FET.

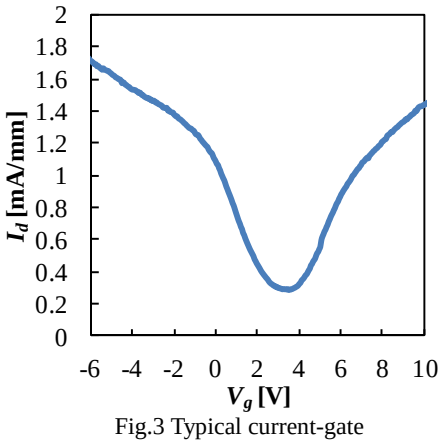

Fig.3 Typical current-gate characteristics.

参考文献　[1] K.Fujita, K.Banno, H. R. Aryal and T. Egawa, Appl.Phys. Lett. 101, 163109(2012).

[2] M.Miyoshi, M.Mizuno, K.Banno, T.Kubo, T.Egawa and T.Soga Mater. Res. Express 2 (2015) 015602.

© 2015年 応用物理学会