

CVD により成膜した単層 MoS₂ の結晶性評価

Characterization of crystallinity of monolayer MoS₂ grown by CVD

東大マテリアル¹, JST-さがけ², ○倉林空¹, 長汐晃輔^{1,2}
 Tokyo Univ.¹, PRESTO-JST² ○S. Kurabayashi¹, and, K. Nagashio^{1,3}
 E-mail: kurabayashi@ncd.t.u-tokyo.ac.jp

【はじめに】グラフェンに端を発し、様々な層状物質系 FET デバイスが注目されている。2 層グラフェンのギャップ内準位の低減が $I_{on/off}$ 比の向上に重要な役割を果たしていることが分かってきたが、その起源については様々な提案がある。他の層状物質系との比較は、重要な方向性であると考えられる。ここで単層 MoS₂ には 1.8eV のバンドギャップが存在するため、2 次元層状半導体の特徴を理解するための物質として期待がかかるが、バルク単結晶の質は Kish グラファイト程高くないため、高品質 MoS₂ の成膜が重要となる。S と MoO₃ 粉末を出発原料とした CVD においては、MoO_{3-x} の蒸気圧が低いいため、基板位置は重要な成膜条件であると推測される。本研究では、CVD 時の基板位置を中心に成膜条件を検討し、MoS₂ のエッチピット密度(EPD)により結晶性を評価した。

【実験方法】MoO₃ のボートは石英チューブの中心に、S のボートは N₂ キャリアガスの上流側に設置した。MoO₃ の加熱温度は 600, 700℃とし、図 1 に示された①~④の位置に SiO₂/Si 基板を設置し、MoS₂ を成長させた。③位置では、MoO₃ ボートの上に SiO₂ 面を下にして設置し、④では、試料台を用い同様に SiO₂ 面を下にして設置した。成膜した MoS₂ において、ラマンによる層数判断、PL によるエネルギーギャップの見積を行った。酸素雰囲気 290℃で 1 時間アニールすることで EPD を計測した。さらに、成膜した MoS₂(700℃試料台なし)に対し EB リソにより 2 端子 FET デバイスを作成し、電気測定を行った。

【結果及び考察】①及び②の位置には、MoS₂ の成長はほとんど観察されなかった。③では各温度で単層 MoS₂ の合成は可能であったが、図 2 に示すように、単結晶領域が明確な独立した三角形に成長した範囲が狭く、デバイス作成には向かない。一方、試料台を使用した場合、600℃では MoS₂ の成長は観察されなかったが、700℃では基板上の広い範囲に独立した MoS₂ を合成できることがわかった。試料台を使用しない場合に比べ面積で 10 倍程度の増加であった。試料台を使用しない場合は、MoO₃ と基板の距離が近すぎ、基板表面の Mo 量が場所によって大きく異なってしまうため広範に MoS₂ が成長しなかったと考えられる。また試料台を使用した場合、600℃では Mo が基板表面まで届かなかったため成膜されなかったと考えられる。Raman により単層であることを確認した後、PL により解析したところ表 1 のような結果を得た。製膜条件による大きな差は見られなかったが、へき開の MoS₂ では FWHM は 0.10eV 程度であり、CVD の MoS₂ の方が FWHM が小さいことがわかった。これは先行研究の結果と一致している。図 3 は酸素アニール後の AFM 像である。EPD はすべての CVD 条件で 10⁸cm⁻² 程度であり、欠陥の低減が重要であるといえる。またエッチピットの三角形は常に外側の三角形と逆の向きであり、外側と内側の三角形の辺は同じ原子のエッジで構成されていることがわかった。図 4 は電気測定の結果である。1.8eV 程度のギャップが存在するため、10⁷ 近い電流のオンオフ比が容易に得られている。現段階で、単結晶 MoS₂ のデバイス作製に適した広範に独立した単層 MoS₂ を成膜させることに成功したため、EPD を下げる成膜条件を検討することで、MoS₂ の電気特性を向上させることが可能であると考えている。

【謝辞】本研究の一部は科研費により助成を受けて行われました。ここに深く感謝致します。

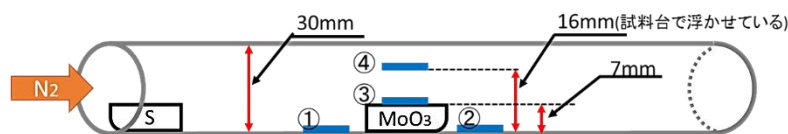


図1: チューブと基板位置の概略図

	PL Peak	PL FWHM
600℃台なし	1.85eV	0.06eV
700℃台なし	1.83eV	0.06eV
700℃台あり	1.84eV	0.06eV

表1: PLによる解析結果

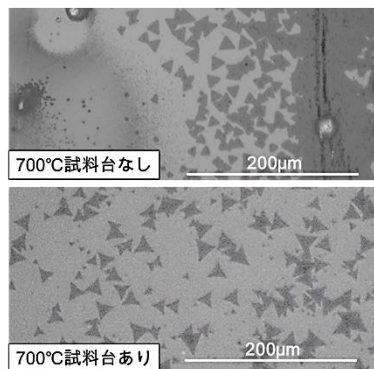


図2: 試料台の有無によるCVD結果の差

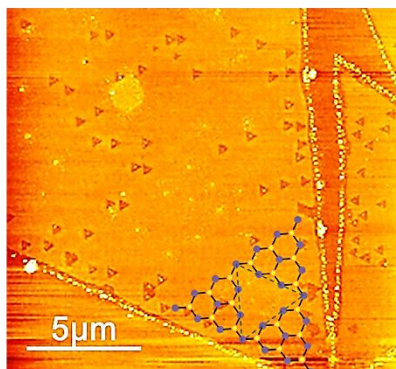


図3: アニール後のAFM像

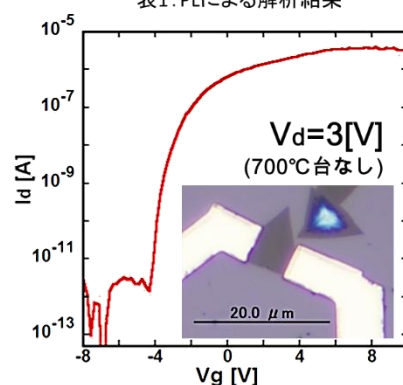


図4: 2端子電気測定結果のVgとIdの関係